

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有權機關
國際事務局



(43) 國際公開日
2003 年 3 月 20 日 (20.03.2003)

PCT

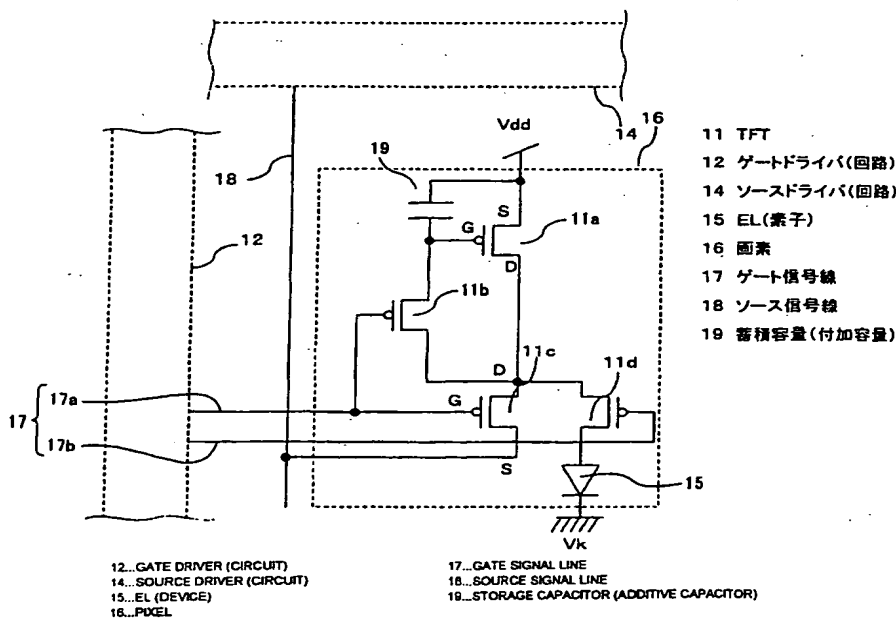
(10) 国際公開番号
WO 03/023750 A1

- | | | |
|---|-------------------------------|--|
| (51) 国際特許分類: | G09G 3/20, 3/30, 3/36 | (72) 発明者; および |
| (21) 国際出願番号: | PCT/JP02/09111 | (75) 発明者/出願人 (米国についてのみ): 高原 博司 (TAKAHARA, Hiroshi) [JP/JP]; 〒572-0807 大阪府寝屋川市大字太秦 1011-1-345-C-345 Osaka (JP). 柘植 仁志 (TSUGE, Hitoshi) [JP/JP]; 〒571-0074 大阪府門真市宮前町 16-1-314 Osaka (JP). |
| (22) 国際出願日: | 2002 年 9 月 6 日 (06.09.2002) | |
| (25) 国際出願の言語: | 日本語 | |
| (26) 国際公開の言語: | 日本語 | (74) 代理人: 角田 嘉宏, 外 (SUMIDA, Yoshihiro et al.); 〒650-0031 兵庫県神戸市中央区東町123番地の1 貿易ビル3階 有古特許事務所 Hyogo (JP). |
| (30) 優先権データ: | | (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW. |
| 特願2001-271311 | 2001 年 9 月 7 日 (07.09.2001) | JP |
| 特願2001-291598 | 2001 年 9 月 25 日 (25.09.2001) | JP |
| 特願 2001-347014 | 2001 年 11 月 13 日 (13.11.2001) | JP |
| 特願2002-136117 | 2002 年 5 月 10 日 (10.05.2002) | JP |
| (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP). | | |

〔続葉有〕

(54) Title: EL DISPLAY PANEL, ITS DRIVING METHOD, AND EL DISPLAY APPARATUS

(54) 発明の名称: EL表示パネル、その駆動方法およびEL表示装置



(57) Abstract: An EL display apparatus comprises an EL device (15) which emits light with luminance corresponding to a supplied current. A current larger than a current corresponding to an image signal is output from a source driver (14) to this EL device (15) via a source signal line (18). Thus, a parasitic capacitor present in the source signal line (18) is charged and discharged. The current is supplied to the EL device (15) only over a partial period of a one-frame period by the operation of a transistor (11d) provided between the EL device (15) and source driver (14). As a result, the EL device (15) emits light only over the partial period.

WO 03/023750 A1



(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告書
- 補正書・説明書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

本発明のEL表示装置は、供給される電流に応じた輝度で発光するEL素子(15)を備えており、このEL素子(15)に対して、画像信号に応じた電流よりも大きい電流がソース信号線(18)を介してソースドライバ(14)から出力される。これにより、ソース信号線(18)に存在する寄生容量の充放電がなされる。また、EL素子(15)とソースドライバ(14)との間に形成されたトランジスタ(11d)の動作により、1フレーム期間のうちの一部の期間のみEL素子(15)に対して前記電流が供給される。その結果、EL素子(15)は前記一部の期間のみ発光する。

明 細 書

EL表示パネル、その駆動方法およびEL表示装置

5

〔技術分野〕

本発明は、有機または無機エレクトロルミネッセンス（EL）素子を用いたEL表示装置に関し、特に所望の電流をEL素子に対して供給することが
10 できるEL表示装置、その駆動方法およびそのEL表示装置を備えた電子機器に関するものである。

〔技術背景〕

一般に、アクティブマトリクス型表示装置では、多数の画素をマトリクス状に並べ、与えられた画像信号に応じて画素毎に光強度を制御することによって画像を表示する。たとえば、電気光学物質として液晶を用いた場合は、各画素に書き込まれる電圧に応じて画素の透過率が変化する。電気光学変換物質として有機エレクトロルミネッセンス（EL）材料を用いたアクティブマトリクス型の画像表示装置でも、基本的な動作は液晶を用いた場合と同様である。

20 液晶表示パネルでは、各画素はシャッタとして動作し、バックライトからの光を画素であるシャッタでオンオフさせることにより画像を表示する。有機EL表示パネルは各画素に発光素子を有する自発光型の表示パネルである。このような自発光型の表示パネルは、液晶表示パネルに比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の
25 利点を有している。

有機EL表示パネルは各発光素子（画素）の輝度を電流量によって制御する。このように、発光素子が電流駆動型あるいは電流制御型であるという点で液晶表示パネルとは大きく異なる。

有機EL表示パネルにおいても、液晶表示パネルと同様に、単純マトリクス方式およびアクティブマトリクス方式の構成が可能である。前者は構造が単純であるものの大型かつ高精細の表示パネルの実現が困難である。しかし、安価である。後者は大型、高精細表示パネルを実現できる。しかし、制御方法が技術的に難しい、比較的高価であるという課題がある。現在では、アクティブマトリクス方式の開発が盛んに行われている。アクティブマトリクス方式は、各画素に設けた発光素子に流れる電流を画素内部に設けた薄膜トランジスタ（TFT）によって制御する。

- 10 このアクティブマトリクス方式の有機EL表示パネルは、例えば特開平8-234683号公報に開示されている。この表示パネルの一面素分の等価回路を第62図に示す。画素216は発光素子であるEL素子215、第1のトランジスタ211a、第2のトランジスタ211bおよび蓄積容量219からなる。ここでEL素子215は有機エレクトロルミネッセンス（EL）素子である。

15 なお、本明細書では、EL素子に電流を供給（制御）するトランジスタを駆動用トランジスタと呼ぶ。また、第62図におけるトランジスタ211bのように、スイッチとして動作するトランジスタをスイッチ用トランジスタと呼ぶ。

- 20 EL素子215は多くの場合、整流性があるため、OLED（有機発光ダイオード）と呼ばれることがある。そのため、第62図ではEL素子215をOLEDとしてダイオードの記号を用いている。

第62図の例では、Pチャンネル型のトランジスタ211aのソース端子（S）をV_{dd}（電源電位）とし、EL素子215のカソード（陰極）は接地電位（V_k）に接続される。一方、アノード（陽極）はトランジスタ211bのドレイン端子（D）に接続されている。一方、Pチャンネル型のトランジスタ211bのゲート端子はゲート信号線217aに接続され、ソース端子はソース信号線218に接続され、ドレイ

ン端子は蓄積容量219およびトランジスタ211aのゲート端子(G)に接続されている。

画素216を動作させるために、まず、ゲート信号線217aを選択状態とし、ソース信号線218に輝度情報を表す画像信号を印加する。すると、トランジスタ211bが導通し、蓄積容量219が充電又は放電され、トランジスタ211aのゲート電位は画像信号の電位に一致する。ゲート信号線217aを非選択状態とすると、トランジスタ211aがオフになり、トランジスタ211aは電氣的にソース信号線218から切り離される。しかし、トランジスタ211aのゲート電位は蓄積容量219によって安定に保持される。トランジスタ211aを介してEL素子215に流れる電流は、トランジスタ11aのゲート/ソース端子間電圧 V_{gs} に応じた値となり、EL素子215はトランジスタ211aを通して供給される電流量に応じた輝度で発光し続ける。

以上のように、第62図に示した従来例は、1画素が、1つの選択トランジスタ（スイッチング素子）と、1つの駆動用トランジスタとで構成されたものである。その他の従来例は、例えば特願平11-327637号公報に開示されている。この公報には、画素がカレントミラー回路で構成された実施例が示されている。

ところで、有機EL表示パネルは、通常、低温ポリシリコントランジスタアレイを用いてパネルを構成している。しかし、有機EL素子は、電流に基づいて発光するため、トランジスタの特性にバラツキがあると、表示ムラが発生するという問題があった。

また、ソース信号線18には寄生容量が存在するが、従来のEL表示パネルではこの寄生容量を十分に充放電することができなかった。そのため、画素16に所望の電流を供給することができない場合が生じるという問題があった。

〔発明の開示〕

本発明はこのような事情に鑑みてなされたものであり、その目的は、

ソース信号線に存在する寄生容量を十分に充放電することにより、良好な画像表示を実現することができるEL表示装置を提供することにある。

- そして、これらの目的を達成するために、本発明に係るEL表示装置
- 5 は、互いに交差するように配列された複数のゲート信号線および複数のソース信号線と、マトリクス状に配置され、供給される電流に応じた輝度で発光するEL素子と、前記ゲート信号線に対してゲート信号を出力するゲートドライバと、前記ソース信号線に対して外部から入力される画像信号に応じた電流よりも大きい電流を出力するソースドライバと、
- 10 前記EL素子のそれぞれに対応して設けられ、前記ソースドライバから出力された電流を前記EL素子に対して出力するトランジスタと、前記ゲート信号線を介して供給されるゲート信号に応じて前記EL素子と前記トランジスタとの間の導通／非導通を切り換えることにより、前記
- 15 ソースドライバから出力された電流を前記EL素子に供給し得る第1スイッチング素子とを備え、前記ゲートドライバは、前記EL素子と前記トランジスタとの間が1フレーム期間において少なくとも1回は導通および非導通となるべく前記ゲート信号線に対してゲート信号を出力するように構成されている。

- このように構成すると、画像信号に応じた電流よりも大きい電流がソ
- 20 ースドライバからソース信号線に対して出力されるので、ソース信号線に寄生容量が存在する場合であってもその寄生容量を充放電することができる。また、このように大きい電流をEL素子に供給した場合、EL素子が画像信号に応じた輝度よりも高い輝度で発光することになるが、EL素子に電流を供給する時間を1フレーム期間よりも短い期間と
- 25 することで、EL素子の発光時間を短縮化することが可能となり、その結果画像信号に応じた輝度に相当する輝度での画像表示を実現する。

また、前記発明に係るEL表示装置において、前記ゲートドライバは、前記EL素子と前記トランジスタとの間が1フレーム期間において周期

的に複数回導通および非導通となるべく前記ゲート信号線にゲート信号を出力するように構成されていてもよい。

このように構成すると、いわゆるインターレース駆動を実現することができるため、より良好な画像表示を行うことができる。

- 5 また、前記発明に係るEL表示装置において、前記ゲート信号線を介して供給されるゲート信号に応じて前記ソースドライバと前記トランジスタとの間の導通／非導通を切り換えることにより、前記ソースドライバから出力された電流を前記トランジスタに供給し得る第2スイッチング素子を更に備え、前記ゲートドライバは、前記EL素子と前記トランジスタとの間を非導通とした状態で前記ソースドライバと前記トランジスタとの間を導通として前記ソースドライバから出力される電流を前記トランジスタにプログラムした後、前記EL素子と前記トランジスタとの間が1フレーム期間において少なくとも1回は導通および非導通とな
- 10 るべく前記ゲート信号線に対してゲート信号を出力するように構成されていてもよい。
- 15 このように構成すると、トランジスタの特性のばらつきによる表示ムラなどを防ぐことができ、良好な画像表示を実現することができる。

- 20 また、前記発明に係るEL表示装置において、前記ゲートドライバと前記トランジスタとが同一プロセスで形成されていてもよい。すなわち、例えば低温ポリシリコン技術を用いてゲートドライバとドライバとが形成されていてもよい。このように形成することによって狭額縁化を実現することができる。

また、前記発明に係るEL表示装置において、前記ソースドライバは、半導体チップから形成されていてもよい。

- 25 また、本発明に係るEL表示装置は、互いに交差するように配列された複数のゲート信号線および複数のソース信号線と、マトリクス状に配置され、供給される電流に応じた輝度で発光するEL素子と、前記ゲート信号線に対してゲート信号を出力するゲートドライバと、前記ソース

信号線に対して外部から入力される画像信号に応じた電流よりも大きい電流を出力するソースドライバと、前記EL素子のそれぞれに対応して設けられ、前記ゲート信号線を介して供給されるゲート信号に応じて前記EL素子と前記ソース信号線との間の導通／非導通を切り換えることにより、前記ソース信号線を介して供給される電流を前記EL素子に供給し得るスイッチング素子と、前記EL素子が形成された領域とは異なる領域に設けられ、画像表示に実質的に利用されない複数のダミー素子と、前記ダミー素子のそれぞれに対応して設けられ、前記ゲート信号線を介して供給されるゲート信号に応じて前記ダミー素子と前記ソース信号線との間の導通／非導通を切り換えることにより、前記ソース信号線を介して供給される電流を前記ダミー素子に供給し得る第2スイッチング素子とを備え、前記ゲートドライバが前記EL素子に係るゲート信号線および前記ダミー素子に係るゲート信号線に対して略同一のタイミングでゲート信号を出力することによって、前記ソース信号線を介して供給される電流を前記EL素子および前記ダミー素子のそれぞれに分割して供給するように構成されている。

このように構成すると、画像信号に応じた電流よりも大きい電流がソースドライバからソース信号線に対して出力されるので、ソース信号線に寄生容量が存在する場合であってもその寄生容量を充放電することができる。また、ソースドライバから画像信号に応じた電流よりも大きい電流が出力された場合であっても、その電流はEL素子およびダミー素子に分割して供給されるため、EL素子が必要以上に高い輝度で発光することを防止することができる。

また、前記発明に係るEL表示装置において、前記ダミー素子に係るゲート信号線は、第1行または最終行の前記EL素子に係るゲート信号線と隣り合うようにして形成されており、前記ゲートドライバが隣り合う複数行のゲート信号線に対して略同一のタイミングで順次的にゲート信号を出力することによって、複数の前記EL素子のそれぞれまたは前

記 E L 素子 および前記ダミー素子のそれぞれに前記ソース信号線を介して供給される電流を分割して供給するように構成されていてもよい。

また、本発明の E L 表示装置の駆動方法は、供給される電流に応じた輝度で発光する E L 素子と、ソース信号線を介して前記 E L 素子に電流
5 を出力する ソースドライバとを備える E L 表示装置の駆動方法において、外部から入力された画像信号に応じた電流よりも大きい電流を前記ソースドライバが前記ソース信号線に出力するステップと、1 フレーム期間の一部の期間にわたり前記ソース信号線に出力された電流を前記 E L 素子に供給することにより、前記一部の期間において前記ソース信号線に
10 出力された電流に応じた輝度で前記 E L 素子を発光させるステップとを含んでいる。

また、前記発明に係る E L 表示装置の駆動方法において、前記一部の期間は、複数の期間に分割されていてもよい。

さらに、本発明の電子機器は、請求の範囲第 1 項に記載の E L 表示装置を備え、前記 E L 表示装置に対して画像信号を出力するように構成されている。
15

また、本発明に係る E L 表示装置は、マトリックス状に配置された E L 素子と、前記 E L 素子に流す電流を供給する駆動用トランジスタと、前記 E L 素子と前記駆動用トランジスタとの間に配置された第 1 のスイッチング素子と、前記第 1 のスイッチング素子をオンオフ制御するゲートドライバを具備し、前記ゲートドライバは、前記第 1 のスイッチング素子を、1 フレーム期間において、少なくとも 1 回以上オフ状態に制御
20 することを特徴とする。

また、前記発明に係る E L 表示装置において、前記第 1 のスイッチング素子は、1 フレーム期間において、周期的にかつ複数回オフ状態に制御されてもよい。
25

また、本発明に係る E L 表示装置は、プログラム電流を出力するソースドライバ回路と、マトリックス状に配置された E L 素子と、前記 E L

素子に流す電流を供給する駆動用トランジスタと、前記EL素子と前記駆動用トランジスタとの間に配置された第1のスイッチング素子と、前記駆動用トランジスタに前記プログラム電流を伝達する経路を構成する第2のスイッチング素子と、前記第1および第2のスイッチング素子をオンオフ制御するゲートドライバ回路を具備し、前記ゲートドライバ回路は、前記第1のスイッチング素子を、1フレーム期間において、少なくとも1回以上オン状態にし、かつ1回以上オフ状態に制御することを特徴とする。

また、前記発明に係るEL表示装置において、前記ゲートドライバは、前記駆動用トランジスタと同一プロセスで形成され、前記ソースドライバは、半導体チップで形成されていてもよい。

また、本発明に係るEL表示装置は、ゲート信号線と、ソース信号線と、プログラム電流を出力するソースドライバと、ゲートドライバと、マトリックス状に配置されたEL素子と、前記EL素子に流す電流を供給する駆動用トランジスタと、前記EL素子と前記駆動用トランジスタとの間に配置された第1のトランジスタと、前記駆動用トランジスタに前記プログラム電流を伝達する経路を構成する第2のトランジスタとを具備し、前記ソースドライバは、前記ソース信号線にプログラム電流を出力し、前記ゲートドライバは、ゲート信号線に接続され、前記第2のトランジスタのゲート端子は、前記ゲート信号線に接続され、前記第2のトランジスタのソース端子は、前記ソース信号線に接続され、前記第2のトランジスタのドレイン端子は、前記駆動用トランジスタのドレイン端子と接続され、前記ゲートドライバは、複数のゲート信号線を選択して、前記プログラム電流を複数の画素の前記駆動用トランジスタに供給し、前記ゲートドライバは、前記第1のトランジスタを、1フレーム期間において、少なくとも1回以上オン状態にし、かつ1回以上オフ状態に制御することを特徴とする。

また、前記発明に係るEL表示装置において、前記ゲートドライバは、

前記駆動用トランジスタと同一プロセスで形成され、前記ソースドライバは、半導体チップで形成されていてもよい。

また、本発明に係るEL表示装置は、 I (I は2以上の整数)画素行、 J (J は2以上の整数)画素列からなる表示領域を有し、前記表示領域のソース信号線に映像信号を印加するソースドライバと、前記表示領域のゲート信号線にオン電圧またはオフ電圧を印加するゲートドライバと、前記表示領域以外の箇所に形成されたダミー画素行とを具備し、前記表示領域にはEL素子がマトリックス状に形成され、前記ソースドライバからの映像信号に基づいて発光し、前記ダミー画素行は、発光しないか、もしくは発光状態が視覚的に見えないように構成されていることを特徴とする。

また、前記発明に係るEL表示装置において、前記ゲートドライバは、複数画素行を同時に選択して、前記ソースドライバからの映像信号を前記複数の画素行に印加し、第1行目の画素行もしくは I 画素行が選択される時には、ダミー画素行が選択されるように構成されていてもよい。

また、本発明に係るEL表示装置の駆動方法は、EL素子を所定輝度よりも高輝度で発光する電流を前記EL素子に供給し、1フレームの $1/N$ (N は1より小さい)の期間、前記EL素子を発光させることを特徴とする。

また、前記発明に係るEL表示装置の駆動方法において、1フレームの $1/N$ の期間は、複数期間に分割されていてもよい。

また、本発明に係るEL表示装置の駆動方法は、電流によりEL素子に流す電流をプログラムするEL表示装置の駆動方法であって、所定輝度よりも高い輝度で前記EL素子を発光させ、 $1/N$ ($N > 1$)の表示領域を表示し、前記 $1/N$ の表示領域を順次シフトして全画面を表示することを特徴とする。

さらに、本発明の電子機器は、請求の範囲第11項に記載のEL表示装置と、受話器と、スピーカとを具備することを特徴とする。

本発明の上記目的、他の目的、特徴、及び利点は、添付図面参照の下、以下の好適な実施態様の詳細な説明から明らかにされる。

〔図面の簡単な説明〕

第1図は、本発明のEL表示パネルの画素構成図である。

5 第2図は、本発明のEL表示パネルの画素構成図である。

第3図は、本発明のEL表示パネルの動作の説明図である。

第4図は、本発明のEL表示パネルの動作の説明図である。

第5図は、本発明のEL表示装置の駆動方法の説明図である。

第6図は、本発明のEL表示装置の構成図である。

10 第7図は、本発明のEL表示パネルの製造方法の説明図である。

第8図は、本発明のEL表示装置の構成図である。

第9図は、本発明のEL表示装置の構成図である。

第10図は、本発明のEL表示パネルの断面図である。

第11図は、本発明のEL表示パネルの断面図である。

15 第12図は、本発明のEL表示パネルの説明図である。

第13図は、本発明のEL表示装置の駆動方法の説明図である。

第14図は、本発明のEL表示装置の駆動方法の説明図である。

第15図は、本発明のEL表示装置の駆動方法の説明図である。

第16図は、本発明のEL表示装置の駆動方法の説明図である。

20 第17図は、本発明のEL表示装置の駆動方法の説明図である。

第18図は、本発明のEL表示装置の駆動方法の説明図である。

第19図は、本発明のEL表示装置の駆動方法の説明図である。

第20図は、本発明のEL表示装置の駆動方法の説明図である。

第21図は、本発明のEL表示装置の駆動方法の説明図である。

25 第22図は、本発明のEL表示装置の駆動方法の説明図である。

第23図は、本発明のEL表示装置の駆動方法の説明図である。

第24図は、本発明のEL表示装置の駆動方法の説明図である。

第25図は、本発明のEL表示装置の駆動方法の説明図である。

- 第 26 図は、本発明の E L 表示装置の駆動方法の説明図である。
- 第 27 図は、本発明の E L 表示装置の駆動方法の説明図である。
- 第 28 図は、本発明の E L 表示装置の駆動方法の説明図である。
- 第 29 図は、本発明の E L 表示装置の駆動方法の説明図である。
- 5 第 30 図は、本発明の E L 表示装置の駆動方法の説明図である。
- 第 31 図は、本発明の E L 表示装置の駆動方法の説明図である。
- 第 32 図は、本発明の E L 表示装置の駆動方法の説明図である。
- 第 33 図は、本発明の E L 表示装置の駆動方法の説明図である。
- 第 34 図は、本発明の E L 表示装置の構成図である。
- 10 第 35 図は、本発明の E L 表示装置の駆動方法の説明図である。
- 第 36 図は、本発明の E L 表示装置の駆動方法の説明図である。
- 第 37 図は、本発明の E L 表示装置の構成図である。
- 第 38 図は、本発明の E L 表示装置の構成図である。
- 第 39 図は、本発明の E L 表示装置の駆動方法の説明図である。
- 15 第 40 図は、本発明の E L 表示装置の構成図である。
- 第 41 図は、本発明の E L 表示装置の構成図である。
- 第 42 図は、本発明の E L 表示パネルの画素構成図である。
- 第 43 図は、本発明の E L 表示パネルの画素構成図である。
- 第 44 図は、本発明の E L 表示装置の駆動方法の説明図である。
- 20 第 45 図は、本発明の E L 表示装置の駆動方法の説明図である。
- 第 46 図は、本発明の E L 表示装置の駆動方法の説明図である。
- 第 47 図は、本発明の E L 表示パネルの画素構成図である。
- 第 48 図は、本発明の E L 表示装置の構成図である。
- 第 49 図は、本発明の E L 表示装置の駆動方法の説明図である。
- 25 第 50 図は、本発明の E L 表示パネルの画素構成図である。
- 第 51 図は、本発明の E L 表示パネルの画素図である。
- 第 52 図は、本発明の E L 表示装置の駆動方法の説明図である。
- 第 53 図は、本発明の E L 表示装置の駆動方法の説明図である。

第 5 4 図は、本発明の E L 表示パネルの画素構成図である。

第 5 5 図は、本発明の E L 表示装置の駆動方法の説明図である。

第 5 6 図は、本発明の E L 表示装置の駆動方法の説明図である。

第 5 7 図は、本発明の携帯型電話機の説明図である。

5 第 5 8 図は、本発明のビューファインダの説明図である。

第 5 9 図は、本発明のデジタルビデオカメラの説明図である。

第 6 0 図は、本発明のデジタルスチルカメラの説明図である。

第 6 1 図は、本発明のテレビ（モニター）の説明図である。

第 6 2 図は、従来の E L 表示パネルの画素構成図である。

10 [発明を実施するための最良の形態]

以下、本発明の実施の形態について、図面を参照しながら説明する。

本明細書において各図面は理解を容易にまたは／および作図を容易にするため、省略または／および拡大縮小した箇所がある。たとえば、第 1 1 図に図示する表示パネルの断面図では封止膜 1 1 1 などを十分厚く図示している。一方、第 1 0 図において、封止フタ 8 5 は薄く図示している。また、省略した箇所もある。たとえば、本発明の表示パネルなどでは、反射防止のために円偏光板などの位相フィルムが必要である。しかし、本明細書の各図面では省略している。以上のことは以下の図面に対しても同様である。また、同一番号または、記号等を付した箇所は
15 同一もしくは類似の形態、材料、機能または動作を示している。

なお、各図面等で説明した内容は特に断りがなくとも、他の実施例等と組み合わせることができる。たとえば、第 8 図の表示パネルにタッチパネルなどを付加し、第 1 9 図、第 5 9 図から第 6 1 図に図示する情報表示装置とすることができる。また、拡大レンズ 5 8 2 を取り付け、ビデオカメラ（第 5 9 図など参照のこと）などに用いるビューファインダ
25 （第 5 8 図を参照のこと）を構成することもできる。また、第 4 図、第 1 5 図、第 1 8 図、第 2 1 図、第 2 3 図などで説明した本発明の駆動方法は、いずれの本発明の表示装置または表示パネルに適用することがで

きる。

5 なお、本明細書では、駆動用トランジスタ 11、スイッチング用トランジスタ 11は薄膜トランジスタとして説明するが、これに限定するものではない。薄膜ダイオード (TFD)、リングダイオードなどでも構成
10 成することができる。また、薄膜素子に限定するものではなく、シリコンウエハに形成したものでよい。もちろん、FET、MOS-FET、MOSトランジスタ、バイポーラトランジスタでもよい。これらも基本的に薄膜トランジスタである。その他、バリスタ、サイリスタ、リングダイオード、ホトダイオード、ホトトランジスタ、PLZT素子など
15 もよいことは言うまでもない。つまり、スイッチ素子 11、駆動用素子 11はこれらのいずれで構成されていてもよい。

20 有機EL表示パネルは、第10図に示すように、画素電極としての透明電極 105が形成されたガラス板 71 (アレイ基板) 上に、電子輸送層、発光層、正孔輸送層などからなる少なくとも1層の有機機能層 (EL層) 15 (15R、15G、15B)、及び金属電極 (反射膜) (カソード) 106が積層されたものである。透明電極 (画素電極) 105
25 である陽極 (アノード) にプラス、金属電極 (反射電極) 106の陰極 (カソード) にマイナスの電圧をそれぞれ加え、すなわち、透明電極 105及び金属電極 106間に直流を印加することにより、有機機能層 (EL層) 15が発光する。

30 アノードあるいはカソードへ電流を供給する配線 (第8図のカソード配線 86、アノード配線 87) には大きな電流が流れる。たとえば、EL表示装置の画面サイズが40インチになると100 (A) 程度の電流が流れる。したがって、これらの配線の抵抗値は十分低く作製する必要がある。この課題に対して、本発明では、まず、アノードなどの配線 (EL素子に発光電流を供給する配線) を薄膜で形成する。そして、この薄膜配線に電解めっき技術あるいは無電解めっき技術で配線の厚みを厚く形成している。

めっき金属としては、クロム、ニッケル、金、銅、アルミあるいはこれらの合金、アマンガムもしくは積層構造などが例示される。また、必要に応じて、配線そのもの、あるいは配線に銅薄からなる金属配線を付加している。また、配線の上に銅ペーストなどをスクリーン印刷し、ペーストなどを積層させることにより配線の厚みを厚くし、配線抵抗を低下させる。また、ボンディング技術で配線を重複して形成することにより配線を補強してもよい。また、必要に応じて、配線に積層してグランドパターンを形成し、配線との間にコンデンサ（容量）を形成してもよい。

- 5 また、アノードあるいはカソード配線に大きな電流を供給するため、電流供給手段から高電圧で小電流の電力配線で、前記アノード配線などの近傍まで配線し、DCDCコンバータなどを用いて低電圧、高電流に電力変換して供給している。つまり、電源から高電圧、小電流配線で電力消費対象まで配線し、電力消費対象の近傍で大電流、低電圧に変換する。このようなものとして、DCDCコンバータ、トランスなどが例示される。

- 10 金属電極106には、リチウム、銀、アルミニウム、マグネシウム、インジウム、銅または各々の合金等の仕事関数が小さなものを用いることが好ましい。特に、例えばAl-Li合金を用いることが好ましい。
- 20 また、透明電極105には、ITO等の仕事関数の大きな導電性材料または金等を用いることができる。なお、金を電極材料として用いた場合、電極は半透明の状態となる。なお、ITOはIZOなどの他の材料でもよい。この事項は他の画素電極105に対しても同様である。

- 25 なお、画素電極105などに薄膜を蒸着する際は、アルゴン雰囲気中で有機EL膜15を成膜するとよい。また、画素電極105としてのITO上にカーボン膜を20以上50nm以下で成膜することにより、界面の安定性が向上し、発光輝度および発光効率も良好なものとなる。また、EL膜15は蒸着で形成することに限定するものではなく、インク

ジェットで形成してもよいことは言うまでもない

なお、封止フタ 85 とアレイ基板 71 との空間には乾燥剤 107 を配置する。これは、有機 EL 膜 15 は湿度に弱いためである。乾燥剤 107 によりシール剤を浸透する水分を吸収し有機 EL 膜 15 の劣化を防止する。

第 10 図はガラスのフタ 85 を用いて封止する構成であるが、第 11 図のようにフィルム（薄膜でもよい。つまり、薄膜封止膜である）111 を用いた封止であってもよい。たとえば、封止フィルム（薄膜封止膜）111 としては電解コンデンサのフィルムに DLC（ダイヤモンドライクカーボン）を蒸着したものをを用いることが例示される。このフィルムは水分浸透性が極めて悪い（防湿性能が高い）。そのため、このフィルムを封止膜 111 として用いる。また、DLC 膜などを電極 106 の表面に直接蒸着する構成でもよいことは言うまでもない。その他、樹脂薄膜と金属薄膜を多層に積層して、薄膜封止膜を構成してもよい。

薄膜の膜厚は $n \cdot d$ （ n は薄膜の屈折率、複数の薄膜が積層されている場合はそれらの屈折率を総合（各薄膜の $n \cdot d$ を計算）して計算する。 d は薄膜の膜厚、複数の薄膜が積層されている場合はそれらの屈折率を総合して計算する）が、EL 素子 15 の発光主波長 λ 以下となるようにするとよい。この条件を満足させることにより、EL 素子 15 からの光取り出し効率が、ガラス基板で封止した場合に比較して 2 倍以上になる。また、アルミニウムと銀との合金あるいは混合物あるいは積層物を形成してもよい。

以上のようにフタ 85 を用いず、封止膜 111 で封止する構成を薄膜封止と呼ぶ。基板 71 側から光を取り出す「下取り出し（第 10 図を参照、光取り出し方向は第 10 図の矢印方向である）」の場合の薄膜封止は、EL 膜を形成後、EL 膜上にカソードとなるアルミ電極を形成する。次にこのアルミ膜上に緩衝層としての樹脂層を形成する。緩衝層としては、アクリル、エポキシなどの有機材料が例示される。また、膜厚は 1

5 μm 以上10 μm 以下の厚みが適する。さらに好ましくは、膜厚は2 μm 以上6 μm 以下の厚みが適する。この緩衝膜上の封止膜74を形成する。緩衝膜がないと、応力によりEL膜の構造が崩れ、筋状に欠陥が発生する。封止膜111は前述したように、DLC（ダイヤモンドライクカーボン）、あるいは電界コンデンサの層構造（誘電体薄膜とアルミ薄膜とを交互に多層蒸着した構造）が例示される。

10 EL層15側から光を取り出す「上取り出し（第11図を参照、光取り出し方向は第11図の矢印方向である）」の場合の薄膜封止は、EL膜15を形成後、EL膜15上にカソード（アノード）となるAg-Mg膜を20オングストローム以上300オングストローム以下の膜厚で形成する。その上に、ITOなどの透明電極を形成して低抵抗化する。次にこの電極膜上に緩衝層としての樹脂層を形成する。この緩衝膜上に封止膜111を形成する。

15 有機EL層15から発生した光の半分は、反射膜106で反射され、アレイ基板71を透過して出射される。しかし、反射膜106に外光が反射することにより写り込みが発生して表示コントラストが低下する。この対策のために、アレイ基板71に $\lambda/4$ 板108および偏光板（偏光フィルム）109を配置している。これらは一般的に円偏光板（円偏光シート）と呼ばれる。

20 なお、画素が反射電極の場合はEL層15から発生した光は上方向に出射される。したがって、位相板108および偏光板109は光出射側に配置することはいうまでもない。なお、反射型画素は、画素電極105を、アルミニウム、クロム、銀などで構成して得られる。また、画素電極105の表面に、凸部（もしくは凹凸部）を設けることで有機EL層15との界面が広くなり発光面積が大きくなり、また、発光効率が向上する。なお、カソード106（アノード105）となる反射膜を透明電極に形成する、あるいは反射率を30%以下に低減できる場合は、円偏光板は不要である。写り込みが大幅に減少するからである。また、光

25

の干渉も低減することになるため望ましい。

トランジスタ 11 は LDD (ロードーピングドレイン) 構造を採用することが好ましい。また、本明細書では EL 素子として有機 EL 素子 (OEL、PEL、PLED、OLED など多種多様な略称で記述される) 15 を例にあげて説明するがこれに限定するものではなく、無機 EL 素子にも適用されることは言うまでもない。

まず、有機 EL 表示パネルに用いられるアクティブマトリックス方式は、

(1) 特定の画素を選択し、必要な表示情報を与えられること

10 (2) 1 フレーム期間を通じて EL 素子に電流を流すことができること、という 2 つの条件を満足させなければならない。

この 2 つの条件を満足させるため、第 6 2 図に図示する従来の有機 EL の画素構成では、第 1 のトランジスタ 211b は画素を選択するためのスイッチング用トランジスタ、第 2 のトランジスタ 211a は EL 素子 (EL 膜) 215 に電流を供給するための駆動用トランジスタとする。

この構成を用いて階調を表示させる場合、駆動用トランジスタ 211a のゲート電圧として階調に応じた電圧を印加する必要がある。したがって、駆動用トランジスタ 211a のオン電流のばらつきがそのまま表示に現れる。

20 トランジスタのオン電流は単結晶で形成されたトランジスタであれば、きわめて均一であるが、安価なガラス基板に形成することのできる形成温度が 450 度以下の低温ポリシリコン技術で形成した低温多結晶トランジスタでは、そのしきい値に $\pm 0.2\text{V} \sim 0.5\text{V}$ の範囲でばらつきがある。そのため、駆動用トランジスタ 211a を流れるオン電流がこれに対応してばらつき、表示にムラが発生する。これらのムラは、25 しきい値電圧のばらつきのみならず、トランジスタの移動度、ゲート絶縁膜の厚みなどでも発生する。また、トランジスタ 211 の劣化によっても特性は変化する。

この現象は、低温ポリシリコン技術に限定されるものではなく、プロセス温度が450度(摂氏)以上の高温ポリシリコン技術でも、固相(CGS)成長させた半導体膜を用いてトランジスタなどを形成したもので発生する。その他、有機トランジスタでも発生する。アモルファスシリコントランジスタでも発生する。したがって、以下に説明する本発明は、これらの技術に対応し、対策することができる構成あるいは方式である。なお、本明細書では低温ポリシリコン技術で形成したトランジスタを主として説明する。

第62図のように、電圧を書き込むことにより、階調を表示させる方法では、均一な表示を得るために、デバイスの特性を厳密に制御する必要がある。しかし、現状の低温多結晶ポリシリコントランジスタなどではこのバラツキを所定範囲以内に抑えるという要求を満足できない。

本発明のEL表示装置の画素構造は、具体的には第1図に示すように、単位画素が4つのトランジスタ11ならびにEL素子により形成される。画素電極はソース信号線と重なるように構成する。つまり、ソース信号線18上に絶縁膜あるいはアクリル材料からなる平坦化膜を形成して絶縁し、この絶縁膜上に画素電極105を形成する。このようにソース信号線18上の少なくとも1部に画素電極を重ねる構成をハイパーチャ(HA)構造と呼ぶ。不要な干渉光などが低減し、良好な発光状態が期待できる。

ゲート信号線(第1の走査線)17aに対してゲート信号を出力してアクティブ(ON電圧を印加)とすることによりEL素子15の駆動用のトランジスタ11aおよびスイッチ用トランジスタ11cを通して、前記EL素子15に流すべき電流値をソースドライバ14から流す。また、トランジスタ11aのゲートとドレイン間を短絡するように、ゲート信号線17aをアクティブ(ON電圧を印加)とすることによりトランジスタ11bを開くと共に、トランジスタ11aのゲートとソース間に接続されたコンデンサ(キャパシタ、蓄積容量、付加容量)19にト

ランジスタ 11 a のゲート電圧（あるいはドレイン電圧）を記憶する（第 3 図（a）を参照のこと）。

5 なお、トランジスタ 11 a のソース（S）－ゲート（G）間容量（コンデンサ）19 は 0.2 pF 以上の容量とすることが好ましい。他の構成として、別途、コンデンサ 19 を形成する構成も例示される。つまり、コンデンサ電極レイヤーとゲート絶縁膜およびゲートメタルとから蓄積容量を形成する構成である。トランジスタ 11 c のリークによる輝度低下を防止する観点、表示動作を安定化させるための観点からはこのように別途コンデンサを構成するほうが好ましい。

10 また、コンデンサ（蓄積容量）19 の大きさは、0.2 pF 以上 2 pF 以下とすることが好ましく、中でもコンデンサ（蓄積容量）19 の大きさは、0.4 pF 以上 1.2 pF 以下とすることが好ましい。画素サイズを考慮してコンデンサ 19 の容量を決定する。1 画素に必要な容量を C_s (pF) とし、1 画素が占める面積（開口率ではない）を S_p (平方 μm) とすれば、 $500/S \leq C_s \leq 20000/S$ とし、さらに好ましくは、 $1000/S_p \leq C_s \leq 10000/S_p$ となるようにする。なお、トランジスタのゲート容量は小さいので、こ

15 こでいう Q とは、蓄積容量（コンデンサ）19 単独の容量である。

20 コンデンサ 19 は隣接する画素間の非表示領域におおむね形成することが好ましい。一般的に、フルカラー有機 EL 素子 15 を作成する場合、有機 EL 層 15 をメタルマスクによるマスク蒸着で形成するためマスク位置ずれによる EL 層の形成位置が発生する。位置ずれが発生すると各色の有機 EL 層 15 (15 R、15 G、15 B) が重なる危険性がある。そのため、各色の隣接する画素間の非表示領域は 10 μm 以上離れなければならぬ。この部分は発光に寄与しない部分となる。したがって、蓄積容量 19 をこの領域に形成することは開口率向上のために有効な手段となる。

25 次

次に、ゲート信号線 17 a を非アクティブ（OFF 電圧を印加）、ゲ

ート信号線 17b をアクティブとして、電流の流れる経路を前記第 1 のトランジスタ 11a および EL 素子 15 に接続されたトランジスタ 11d ならびに EL 素子 15 を含む経路に切り替えて、上述したようにして記憶した電流を前記 EL 素子 15 に流すように動作する（第 3 図 5 (b) を参照のこと）。

この回路は 1 画素内に 4 つのトランジスタ 11 を有しており、トランジスタ 11a のゲートはトランジスタ 11b のソースに接続されている。また、トランジスタ 11b およびトランジスタ 11c のゲートはゲート信号線 17a に接続されている。トランジスタ 11b のドレインはトランジスタ 11c のドレインならびにトランジスタ 11d のソースに接続され、トランジスタ 11c のソースはソース信号線 18 に接続されている。トランジスタ 11d のゲートはゲート信号線 17b に接続され、トランジスタ 11d のドレインは EL 素子 15 のアノード電極に接続されている。

なお、第 1 図ではすべてのトランジスタが P チャンネルで構成されている。P チャンネルは N チャンネルのトランジスタに比較して多少モビリティが低い、耐圧が大きくまた劣化も発生しにくいので好ましい。しかし、本発明は EL 素子構成を P チャンネルで構成することのみに限定するものではない。N チャンネルのみで構成してもよい。また、N チャンネルと P チャンネルの両方を用いて構成してもよい。

また、第 1 図においてトランジスタ 11c、11b は同一の極性で構成し、かつ N チャンネルで構成し、トランジスタ 11a、11d は P チャンネルで構成することが好ましい。一般的に P チャンネルトランジスタは N チャンネルトランジスタに比較して、信頼性が高い、キルク電流が少ないなどの特長があり、電流を制御することによって目的とする発光強度を得る EL 素子 15 に対しては、トランジスタ 11a を P チャンネルにする効果大きい。

最適には画素を構成するトランジスタ 11 をすべて P チャンネルで

形成し、内蔵ゲートドライバ12もPチャンネルで形成することが好ましい。このようにアレイをPチャンネルのみのトランジスタで形成することにより、マスク枚数が5枚となり、低コスト化、高歩留まり化を実現できる。

5 以下、さらに本発明の理解を容易にするために、本発明のEL素子構成について第3図を用いて説明する。本発明のEL素子構成は2つのタイミングにより制御される。第1のタイミングは必要な電流値を記憶させるタイミングである。このタイミングでトランジスタ11bおよびトランジスタ11cをONにすることにより、等価回路として第3図
10 (a)となる。ここで、信号線より所定の電流 I_w が書き込まれる。これによりトランジスタ11aはゲートとドレインとが接続された状態となり、このトランジスタ11aとトランジスタ11cを通じて電流 I_w が流れる。従って、トランジスタ11aのゲート-ソース間の電圧は電流 I_w が流れるような電圧となる。

15 第2のタイミングはトランジスタ11bとトランジスタ11cが閉じ、トランジスタ11dが開くタイミングであり、そのときの等価回路は第3図(b)となる。トランジスタ11aのソース-ゲート間の電圧は保持されたままとなる。この場合、トランジスタ11aは常に飽和領域で動作するため、 I_w の電流は一定となる。

20 このように動作させると、第5図に示すようになる。第5図(a)の51aは表示画面50における、ある時刻での電流プログラムされている画素(行)(書き込み画素(行))を示している。この画素(行)51aは、第5図(b)に図示するように非点灯(非表示画素(行))とする。他の、画素(行)は表示画素(行)53とする(表示画素(行)53のEL素子15には電流が流れ、EL素子15が発光している)。
25

第1図の画素構成の場合、第3図(a)に示すように、電流プログラム時は、プログラム電流 I_w がソース信号線18に流れる。この電流 I_w がトランジスタ11aを流れ、電流 I_w を流す電圧が保持されるよう

に、コンデンサ 19 に電圧設定（プログラム）される。このとき、トランジスタ 11d はオープン状態（オフ状態）である。

次に、EL 素子 15 に電流を流す期間は第 3 図（b）のように、トランジスタ 11c、11b がオフし、トランジスタ 11d がオンする。つまり、ゲート信号線 17a にオフ電圧（ V_{gh} ）が印加され、トランジスタ 11b、11c がオフする。一方、ゲート信号線 17d にオン電圧（ V_{gl} ）が印加され、トランジスタ 11d がオンする。

このタイミングチャートを第 4 図に示す。なお、第 4 図などにおいて、括弧内の添え字（たとえば、（1）など）は画素行の行番号を示している。つまり、ゲート信号線 17a（1）とは、画素行（1）のゲート信号線 17a を示している。また、第 4 図の上段の *H（「*」には任意の記号、数値が当てはまり、水平走査線の番号を示す）とは、水平走査期間を示している。つまり、1H とは第 1 番目の水平走査期間である。なお、以上の事項は、説明を容易にするためであって、1H の番号、1H 周期、画素行の行番号の順番などを限定するものではない。

第 4 図でわかるように、各選択された画素行（選択期間は、1H としている）において、ゲート信号線 17a にオン電圧が印加されている時には、ゲート信号線 17b にはオフ電圧が印加されている。この期間は、EL 素子 15 には電流が流れていない（非点灯状態）。一方、選択されていない画素行において、ゲート信号線 17a にオフ電圧が印加され、ゲート信号線 17b にはオン電圧が印加されている。この期間は、EL 素子 15 に電流が流れている（点灯状態）。

なお、トランジスタ 11b のゲートとトランジスタ 11c のゲートとは同一のゲート信号線 17a に接続している。しかし、トランジスタ 11b のゲートとトランジスタ 11c のゲートとを異なるゲート信号線（第 32 図におけるゲート信号線 17a、17c）にそれぞれ接続してもよい。この場合、1 画素のゲート信号線は 3 本となる（第 1 図の構成は 2 本である）。トランジスタ 11b のゲートの ON/OFF タイミン

グとトランジスタ11cのゲートのON/OFFタイミングを個別に制御することにより、トランジスタ11aのばらつきによるEL素子15の電流値バラツキをさらに低減することができる。

ゲート信号線17aとゲート信号線17bとを共通にし、トランジスタ11cと11dとを異なった導電型（NチャンネルとPチャンネル）とすると、駆動回路の簡略化を図ることができ、画素の開口率を向上させることができる。

このように構成すれば本発明の動作タイミングとしては信号線からの書きこみ経路がオフになる。すなわち所定の電流が記憶される際に、電流の流れる経路に分岐があると正確な電流値がトランジスタ11aのソース（S）－ゲート（G）間の容量（コンデンサ）に記憶されない。トランジスタ11cとトランジスタ11dとを異なった導電型にした場合、お互いの閾値を制御することによって走査線が切り替わるタイミングで必ずトランジスタ11cがオフした後に、トランジスタ11dがオンするといった動作が可能になる。

ただし、この場合お互いの閾値を正確に制御する必要があるのでプロセスには十分な注意を払う必要がある。なお、以上述べた回路は最低4つのトランジスタで実現可能であるが、より正確なタイミング制御を実現するために、または後述するようにミラー効果低減のために、トランジスタ11eを第2図に示すようにカスケード接続する構成としてトランジスタの総数が4以上になっても動作原理は同じである。このようにトランジスタ11eを加えた構成とすることにより、トランジスタ11cを介してプログラムした電流をより精度よくEL素子15に流すことができるようになる。

トランジスタ11aの特性のバラツキはトランジスタサイズに相関がある。特性バラツキを小さくするため、第1のトランジスタ11aのチャンネル長が $5\mu\text{m}$ 以上 $100\mu\text{m}$ 以下とすることが好ましい。さらに好ましくは、第1のトランジスタ11aのチャンネル長が $10\mu\text{m}$ 以

上 $50 \mu\text{m}$ 以下とすることが好ましい。これは、チャンネル長 L を長くした場合、チャンネルに含まれる粒界が増えることによって電界が緩和されキルク効果が低く抑えられるためであると考えられる。

また、画素を構成するトランジスタ 11 が、レーザー再結晶化方法（レーザーアニール）により形成されたポリシリコントランジスタで形成され、すべてのトランジスタにおけるチャンネルの方向がレーザーの照射方向に対して同一の方向であることが好ましい。また、レーザーは同一箇所を 2 回以上スキャンして半導体膜を形成することが好ましい。

本発明の目的は、トランジスタ特性のばらつきが表示に影響を与えない回路構成を提案するものであり、そのために 4 以上のトランジスタが必要となる。これらのトランジスタの特性により回路定数を決定する場合、4 つのトランジスタの特性がそろわなければ、適切な回路定数を求めることが困難である。レーザー照射の長軸方向に対して、チャンネル方向が水平の場合と垂直の場合とでは、トランジスタ特性の閾値と移動度が異なって形成される。なお、どちらの場合もばらつきの程度は同じである。水平方向と、垂直方向とでは移動度、閾値の平均値が異なる。したがって、画素を構成するすべてのトランジスタのチャンネル方向は同一であるほうが望ましい。

また、蓄積容量 19 の容量値を C_s 、第 2 のトランジスタ 11 b のオフ電流値を I_{off} とした場合、次式を満足させることが好ましい。

$$3 < C_s / I_{off} < 24$$

さらに、次式を満足させることがより好ましい。

$$6 < C_s / I_{off} < 18$$

トランジスタ 11 b のオフ電流を 5 pA 以下とすることにより、 E_L を流れる電流値の変化を 2 % 以下に抑えることが可能である。これはリーク電流が増加すると、電圧非書き込み状態においてゲートソース間（コンデンサの両端）に貯えられた電荷を 1 フィールド間保持できないためである。したがって、コンデンサ 19 の蓄積用容量が大きければオ

フ電流の許容量も大きくなる。前記式を満たすことによって隣接画素間の電流値の変動を2%以下に抑えることができる。

また、アクティブマトリックスを構成するトランジスタがp-c hポリシリコン薄膜トランジスタで構成され、トランジスタ11bをデュアルゲート以上であるマルチゲート構造とすることが好ましい。トランジスタ11bは、トランジスタ11aのソースドレイン間のスイッチとして作用するため、できるだけON/OFF比の高い特性が要求される。トランジスタ11bのゲートの構造をデュアルゲート構造以上のマルチゲート構造とすることによりON/OFF比の高い特性を実現できる。

画素16のトランジスタ11を構成する半導体膜は、低温ポリシリコン技術において、レーザーアニールにより形成するのが一般的である。このレーザーアニールの条件のバラツキがトランジスタ11の特性のバラツキとなる。しかし、1画素16内のトランジスタ11の特性が一致していれば、第1図などの電流プログラムを行う方式では、所定の電流がEL素子15に流れるように駆動することができる。この点は、電圧プログラムにない利点である。ここでレーザーとしてはエキシマレーザーを用いることが好ましい。

なお、本発明において、半導体膜の形成は、レーザーアニール方法に限定するものではなく、熱アニール方法、固相(CGS)成長による方法でもよい。その他、低温ポリシリコン技術に限定するものではなく、高温ポリシリコン技術を用いても良いことはいうまでもない。

この課題に対して、本発明では第7図に示すように、アニールの時のレーザー照射スポット(レーザー照射範囲)72をソース信号線18に平行に照射する。また、1画素列に一致するようにレーザー照射スポット72を移動させる。もちろん、1画素列に限定するものではなく、たとえば、RGBを1画素16という単位でレーザーを照射してもよい(この場合は、3画素列ということになる)。また、複数の画素に同時に照

射してもよい。また、レーザー照射範囲の移動がオーバーラップしてもよいことは言うまでもない（通常、移動するレーザー光の照射範囲はオーバーラップするのが普通である）。

画素はR G Bの3画素で正方形の形状となるように作製されている。

- 5 したがって、R、G、Bの各画素は縦長の画素形状となる。したがって、レーザー照射スポット72を縦長にしてアニールすることにより、1画素内ではトランジスタ11の特性バラツキが発生しないようにすることができる。また、1つのソース信号線18に接続されたトランジスタ11の特性（モビリティ、 V_t 、S値など）を均一にすることができる
- 10 （つまり、隣接したソース信号線18のトランジスタ11とは特性が異なる場合があるが、1つのソース信号線18に接続されたトランジスタ11の特性はほぼ等しくすることができる）。

- 一般的にレーザー照射スポット72の長さは10インチなどのように固定値である。このレーザー照射スポット72を移動させるのであるから、1つのレーザー照射スポット72を移動できる範囲内におさまるようにパネルを配置する必要がある（つまり、パネルの表示領域50の中央部でレーザー照射スポット72が重ならないようにする）。
- 15

- 第7図に示す構成では、レーザー照射スポット72の長さの範囲内に3つのパネルが縦に配置されるように形成されている。レーザー照射スポット72を照射するアニール装置はガラス基板74の位置決めマーカー73a、73bを認識（パターン認識による自動位置決め）してレーザー照射スポット72を移動させる。位置決めマーカー73の認識はパターン認識装置で行う。アニール装置（図示せず）は位置決めマーカー73を認識し、画素列の位置をわりだす（レーザー照射範囲72がソース信号線18と平行になるようにする）。画素列位置に重なるように
- 20
- 25 レーザー照射スポット72を照射してアニールを順次行う。

第7図で説明したレーザーアニール方法（ソース信号線18に平行にライン状のレーザースポットを照射する方式）は、有機EL表示パネル

の電流プログラム方式の時に採用することが特に好ましい。なぜならば、ソース信号線に平行方向にトランジスタ 11 の特性が一致しているためである（縦方向に隣接した画素トランジスタの特性が近似している）。そのため、電流駆動時にソース信号線の電圧レベルの変化が少なく、電

5 流書き込み不足が発生しにくい。

たとえば、白ラスタ表示であれば、隣接した各画素のトランジスタ 11 a に流す電流はほぼ同一のため、ソースドライバ 14 から出力する電流振幅の変化が少ない。もし、第 1 図のトランジスタ 11 a の特性が同一であり、各画素に電流プログラムする電流値が画素列で等しいので

10 あれば、電流プログラム時のソース信号線 18 の電位は一定である。したがって、ソース信号線 18 の電位変動は発生しない。1 つのソース信号線 18 に接続されたトランジスタ 11 a の特性がほぼ同一であれば、ソース信号線 18 の電位変動は小さいことになる。このことは、第 3 8 図などの他の電流プログラム方式の画素構成でも同一である（つまり、

15 第 7 図の製造方法を適用することが好ましい）。

また、第 27 図、第 30 図などで説明する複数の画素行を同時書き込みする方式で均一な画像表示を実現することができる。これは、主としてトランジスタ特性のばらつきに起因する表示ムラが発生しにくいからである。第 27 図などは複数画素行同時に選択するから、隣接した画

20 素行のトランジスタが均一であれば、縦方向のトランジスタ特性ムラはドライバ回路 14 で吸収できる。

なお、第 7 図に示すとおり、ソースドライバ 14 は、IC チップを積載して形成されているが、これに限定するものではなく、ソースドライバ 14 を画素 16 と同一プロセスで形成してもよいことは言うまでも

25 ない。

本発明では特に、トランジスタ 11 b の閾電圧 V_{th2} が画素内で対応するトランジスタ 11 a の閾電圧 V_{th1} より低くならない様に設定されている。例えば、トランジスタ 11 b のゲート長 $L2$ をトランジ

スタ 11 a のゲート長 L_1 よりも長くして、これらの薄膜トランジスタのプロセスパラメータが変動しても、 V_{th2} が V_{th1} よりも低くならないようにする。これにより、微少な電流リークを抑制することが可能である。

5 なお、以上の事項は、第 38 図に図示するカレントミラーの画素構成にも適用できる。第 38 図では、信号電流が流れる駆動用トランジスタ 11 a、EL 素子 15 等からなる発光素子に流れる駆動電流を制御する駆動用トランジスタ 11 b の他、ゲート信号線 17 a 1 の制御によって画素回路とデータ線 d_{ata} とを接続または遮断する取込用トランジスタ 11 c、ゲート信号線 17 a 2 の制御によって書き込み期間中にトランジスタ 11 a のゲート・ドレインを短絡するスイッチ用トランジスタ 11 d、トランジスタ 11 a のゲート・ソース間の電圧の書き込み終了後も保持するための蓄積容量 19 および発光素子としての EL 素子 15 などから構成される。

15 第 38 図でトランジスタ 11 c、11 d は N チャンネルトランジスタで、その他のトランジスタは P チャンネルトランジスタでそれぞれ構成しているが、これは一例であって、必ずしもこの通りである必要はない。蓄積容量 19 は、その一方の端子がトランジスタ 11 a のゲートに接続され、他方の端子が V_{dd} (電源電位) に接続されているが、 V_{dd} に
20 限らず任意の一定電位でも良い。EL 素子 15 のカソード (陰極) は接地電位に接続されている。

次に、本発明の EL 表示パネルおよび EL 表示装置について説明をする。第 6 図は EL 表示装置の回路を中心とした説明図である。画素 16 がマトリックス状に配置または形成されている。各画素 16 には各画素の電流プログラムを行う電流を出力するソースドライバ 14 が接続さ
25 れている。ソースドライバ 14 の出力段は階調データである画像信号のビット数に対応したカレントミラー回路が形成されている (後に説明する)。たとえば、64 階調であれば、63 個のカレントミラー回路が各

ソース信号線に形成され、これらのカレントミラー回路の個数を選択することにより所望の電流をソース信号線18に印加できるように構成されている。

5 なお、1つのカレントミラー回路の最小出力電流は10 nA以上50 nA以下にしている。特にカレントミラー回路の最小出力電流は15 nA以上35 nA以下にすることが好ましい。ソースドライバ14内のカレントミラー回路を構成するトランジスタの精度を確保するためである。

10 また、ソースドライバ14は、ソース信号線18の電荷を強制的に放出または充電するプリチャージまたはディスチャージ回路を内蔵する。ソース信号線18の電荷を強制的に放出または充電するプリチャージまたはディスチャージ回路の電圧（電流）出力値は、R、G、Bで独立に設定できるように構成されていることが好ましい。EL素子15の閾値がRGBで異なるからである。

15 有機EL素子は大きな温度依存性特性があることが知られている。この温特による発光輝度変化を調整するため、カレントミラー回路に出力電流を変化させるサーミスタあるいはボジスタなどの非直線素子を付加し、温度依存性特性による変化を前記サーミスタなどで調整することによりアナログ的に基準電流を作成する。

20 本発明において、ソースドライバ14は半導体チップで形成されており、ガラスオンチップ（COG）技術で基板71のソース信号線18の端子と接続されている。ソース信号線18などの信号線の配線はクロム、銅、アルミニウム、銀などの金属配線が用いられる。細い配線幅で低抵抗の配線が得られるからである。配線は画素が反射型の場合は画素の反射膜を構成する材料で、反射膜と同時に形成することが好ましい。工程
25 が簡略化できるからである。

ソースドライバ14の実装は、COG技術に限定するものではなく、チップオンフィルム（COF）技術に前述のソースドライバ14などを

積載し、表示パネルの信号線と接続した構成としてもよい。また、ドライ
イブ IC は電源 IC 8 2 を別途作製し、3チップ構成としてもよい。

一方、ゲートドライバ 1 2 は低温ポリシリコン技術で形成されている。
つまり、画素のトランジスタと同一のプロセスで形成している。これは、
5 ソースドライバ 1 4 に比較して内部の構造が容易で、動作周波数も低い
ためである。したがって、低温ポリシリコン技術を用いても容易にゲー
トドライバ 1 2 を形成することができ、これにより狭額縁化を実現でき
る。もちろん、ゲートドライバ 1 2 をシリコンチップで形成し、COG
技術などを用いて基板 7 1 上に実装してもよいことは言うまでもない。
10 また、画素トランジスタなどのスイッチング素子、ゲートドライバなど
は高温ポリシリコン技術で形成してもよく、有機材料で形成（有機トラ
ンジスタ）してもよい。

ゲートドライバ 1 2 はゲート信号線 1 7 a 用のシフトレジスタ回路
6 1 a と、ゲート信号線 1 7 b 用のシフトレジスタ回路 6 1 b とを内蔵
15 する。各シフトレジスタ回路 6 1 は正相および負相のクロック信号（C
LK x P、CLK x N）、スタートパルス（STx）で制御される。そ
の他、ゲート信号線の出力、非出力を制御するイネーブル（ENABL）
信号、シフト方向を上下逆転するアップダウン（UPDWM）信号を付
加することが好ましい。他に、スタートパルスがシフトレジスタにシフ
20 トされ、そして出力されていることを確認する出力端子などを設けるこ
とが好ましい。なお、シフトレジスタのシフトタイミングはコントロー
ル IC 8 1 からの制御信号で制御される。また、外部データのレベルシ
フトを行うレベルシフト回路を内蔵する。また、検査回路を内蔵する。

シフトレジスタ回路 6 1 のバッファ容量は小さいため、直接にはゲー
25 ト信号線 1 7 を駆動することができない。そのため、シフトレジスタ回
路 6 1 の出力とゲート信号線 1 7 を駆動する出力ゲート 6 3 間には少
なくとも 2 つ以上のインバータ回路 6 2 が形成されている。

ソースドライバ 1 4 を低温ポリシリコンなどのポリシリコン技術で

基板 7 1 上に直接形成する場合も同様であり、ソース信号線 1 8 を駆動するトランスファークゲートなどのアナログスイッチのゲートとソースドライバ 1 4 のシフトレジスタとの間には複数のインバータ回路が形成される。以下の事項（シフトレジスタの出力と、信号線を駆動する出力段（出力ゲートあるいはトランスファークゲートなどの出力段）間に配置されるインバータ回路に関する事項）は、ソースドライバおよびゲートドライバに共通の事項である。

たとえば、第 6 図ではソースドライバ 1 4 の出力が直接ソース信号線 1 8 に接続されているように図示したが、実際には、ソースドライバのシフトレジスタの出力は多段のインバータ回路に接続されて、インバータの出力がトランスファークゲートなどのアナログスイッチのゲートに接続されている。

インバータ回路 6 2 は P チャンネルの MOS トランジスタと N チャンネルの MOS トランジスタとから構成される。先にも説明したようにゲートドライバ 1 2 のシフトレジスタ回路 6 1 の出力端にはインバータ回路 6 2 が多段に接続されており、その最終出力が出力ゲート回路 6 3 に接続されている。なお、インバータ回路 6 2 は P チャンネルのみで構成してもよい。ただし、この場合は、インバータではなく単なるゲート回路として構成してもよい。

第 8 図は本発明の表示装置の信号、電圧の供給の構成図あるいは表示装置の構成図である。コントロール IC 8 1 からソースドライバ 1 4 a に供給する信号（電源配線、データ配線など）はフレキシブル基板 8 4 を介して供給する。

第 8 図ではゲートドライバ 1 2 の制御信号はコントロール IC 8 1 で発生させ、ソースドライバ 1 4 で、レベルシフトを行った後、ゲートドライバ 1 2 に印加している。ソースドライバ 1 4 の駆動電圧は 4 ~ 8 (V) であるから、コントロール IC 8 1 から出力された 3. 3 (V) 振幅の制御信号を、ゲートドライバ 1 2 が受け取ることが可能な 5

(V) 振幅に変換することができる。

ソースドライバ 14 内には画像メモリを設けることが好ましい。画像メモリの画像データは誤差拡散処理あるいはディザ処理を行った後のデータをメモリしてもよい。誤差拡散処理、ディザ処理などを行うことにより、26万色表示データを4096色などに変換することができ、画像メモリの容量を小さくすることができる。誤差拡散処理などは誤差拡散コントローラ 81で行うことができる。また、ディザ処理を行った後、さらに誤差拡散処理を行ってもよい。以上の事項は、逆誤差拡散処理にも適用される。

なお、第8図などにおいて14をソースドライバと記載したが、単なるドライバだけでなく、電源回路、バッファ回路（シフトレジスタなどの回路を含む）、データ変換回路、ラッチ回路、コマンドデコーダ、シフト回路、アドレス変換回路、画像メモリなどを内蔵させてもよい。なお、第8図などで説明する構成にあっても、第9図などで説明する3辺フリー構成（構造）、駆動方式などを適用できることはいうまでもない。

表示パネルを携帯型電話機などの情報表示装置に使用する場合、ソースドライバ（回路）14、ゲートドライバ（回路）12を第9図に示すように、表示パネルの一辺に実装（形成）することが好ましい（なお、このように一辺にドライバIC（回路）を実装（形成）する形態を3辺フリー構成（構造）と呼ぶ。従来は、表示領域のX辺にゲートドライバ12が実装され、Y辺にソースドライバ14が実装されていた）。画面50の中心線が表示装置の中心になるように設計し易く、また、ドライバICの実装も容易となるからである。なお、ゲートドライバを高温ポリシリコンあるいは低温ポリシリコン技術などで3辺フリー構成で作製してもよい（つまり、第9図のソースドライバ14およびゲートドライバ12のうち、少なくとも一方をポリシリコン技術で基板71に直接形成する）。

なお、3辺フリー構成とは、基板71に直接ICを積載あるいは形成

した構成だけでなく、ソースドライバ（回路）14、ゲートドライバ（回路）12などを取り付けたフィルム（TCP、TAB技術など）を基板71の一边（もしくはほぼ一边）に貼り付けた構成も含む。つまり、2
5 辺にICが実装あるいは取り付けられていない構成、配置あるいはそれに類似するすべてを意味する。

第9図のようにゲートドライバ12をソースドライバ14の横に配置すると、ゲート信号線17は辺Cにそって形成する必要がある。

なお、第9図などにおいて太い実線で図示した箇所はゲート信号線17が並列して形成されている箇所を示している。したがって、bの部分
10 （画面下部）はゲート信号線の本数分のゲート信号線17が並列して形成され、aの部分（画面上部）はゲート信号線17が1本形成されている。

C辺に形成するゲート信号線17のピッチは $5\mu\text{m}$ 以上 $12\mu\text{m}$ 以下にする。 $5\mu\text{m}$ 未満では隣接ゲート信号線に寄生容量の影響によりノイズが乗ってしまう。実験によれば 7μ 以下で寄生容量の影響が顕著に
15 発生する。さらに $5\mu\text{m}$ 未満では表示画面にビート状などの画像ノイズが激しく発生する。特にノイズの発生は画面の左右で異なり、このビート状などの画像ノイズを低減することは困難である。また、低減 $12\mu\text{m}$ を越えると表示パネルの額縁幅Dが大きくなりすぎ実用的でない。

前述の画像ノイズを低減するためには、ゲート信号線17を形成した部分の下層あるいは上層に、グラントパターン（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン）を配置
20 することにより低減できる。また、別途設けたシールド板（シールド箔（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン））をゲート信号線17上に配置すればよい。

第9図のC辺のゲート信号線17はITO電極で形成してもよいが、低抵抗化するため、ITOと金属薄膜とを積層して形成することが好ましい。また、金属膜で形成することが好ましい。ITOと積層する場合

は、ITO上にチタン膜を形成し、その上にアルミニウムあるいはアルミニウムとモリブデンとの合金薄膜を形成する。またはITO上にクロム膜を形成する。金属膜の場合は、アルミニウム薄膜、クロム薄膜で形成する。以上の事項は本発明の他の実施例でも同様である。

5 なお、第9図などにおいて、ゲート信号線17などは表示領域の片側に配置するとしたがこれに限定されるわけではなく、両方に配置してもよい。たとえば、ゲート信号線17aを表示領域50の右側に配置（形成）し、ゲート信号線17bを表示領域50の左側に配置（形成）してもよい。以上の事項は他の実施例でも同様である。

10 また、ソースドライバ14とゲートドライバ12とを1チップ化してもよい。1チップ化すれば、表示パネルへのICチップの実装が1個で済む。したがって、実装コストも低減できる。また、1チップドライバIC内で使用する各種電圧も同時に発生することができる。

15 なお、ソースドライバ14、ゲートドライバ12はシリコンなどの半導体ウェハで作製し、表示パネルに実装するとしたがこれに限定するものではなく、低温ポリシリコン技術、高温ポリシリコン技術により表示パネル82に直接形成してもよいことは言うまでもない。

20 第1図などで示した構成ではEL素子15はトランジスタ11aを介してV_{dd}電位に接続されている。しかし、各色を構成する有機ELの駆動電圧が異なるという問題がある。たとえば、単位平方センチメートルあたり0.01(A)の電流を流した場合、青(B)ではEL素子の端子電圧は5(V)であるが、緑(G)および赤(R)では9(V)である。つまり、端子電圧がBとG、Rで異なる。したがって、BとGおよびRとでは保持するトランジスタ11aのソースドレイン電圧
25 (SD電圧)が異なる。そのため、各色でトランジスタのソースドレイン電圧(SD電圧)間のオフリーク電流が異なることになる。オフリーク電流が発生し、かつオフリーク特性が各色で異なると、色バランスのずれた状態でフリッカが発生する、発光色に相関してガンマ特性がず

れるという複雑な表示状態になる。

この課題に対応するため、少なくともR、G、B色のうち、1つのカソード電極の電位を他色のカソード電極の電位と異ならせるように構成している。もしくはR、G、B色のうち、1つのV_{d d}の電位を他色のV_{d d}の電位と異ならせるように構成している。

R、G、BのEL素子15の端子電圧は極力一致させることが好ましいことは言うまでもない。少なくとも、白ピーク輝度を表示しており、色温度が7000K以上12000K以下の範囲で、R、G、BのEL素子の端子電圧は10（V）以下となるように材料あるいは構造の選定をする必要がある。また、R、G、Bのうち、EL素子の最大の端子電圧と最小の端子電圧との差は、2.5（V）以内にすることが必要である。さらに好ましくはこの差を1.5（V）以下にする必要がある。なお、以上の実施例では、色はRGBとしたがこれに限定するものではない。このことは後に説明する。

なお、画素は、R、G、Bの3原色としたがこれに限定するものではなく、シアン、イエロー、マゼンダの3色でもよい。また、Bとイエローの2色でもよい。もちろん、単色でもよい。また、R、G、B、シアン、イエロー、マゼンダの6色でもよい。R、G、B、シアン、マゼンダの5色でもよい。これらはナチュラルカラーとして色再現範囲が拡大し良好な表示を実現できる。その他、R、G、B、白の4色でもよい。R、G、B、シアン、イエロー、マゼンダ、黒、白の7色でもよい。また、白色発光の画素を表示領域50全体に形成（作製）し、RGBなどのカラーフィルタで3原色表示としてもよい。この場合は、EL層に各色の発光材料を積層して形成すればよい。また、1画素をBおよびイエローのように塗り分けても良い。以上のように本発明のEL表示装置は、RGBの3原色でカラー表示を行うものに限定されるものではない。

有機EL表示パネルのカラー化には主に三つの方式があり、色変換方式はこのうちの一つである。発光層として青色のみの単層を形成すれば

よく、フルカラー化に必要な残りの緑色と赤色は、青色光から色変換によって作り出す。したがって、RGBの各層を塗り分ける必要がない、RGBの各色の有機EL材料をそろえる必要がないという利点がある。色変換方式は、塗り分け方式のように歩留まり低下がない。本発明のEL表示パネルなどはこのいずれの方式も適用可能である。

また、3原色の他に、白色発光の画素を形成してもよい。白色発光の画素はR、G、B発光の構造を積層することにより作製（形成または構成）することにより実現できる。1組の画素は、RGBの3原色と、白色発光の画素16Wからなる。白色発光の画素を形成することにより、白色のピーク輝度が表現しやすくなる。したがって、輝き感のある画像表示を実現できる。

RGBなどの3原色を1組の画素をする場合であっても、各色の画素電極の面積を異ならせることが好ましい。もちろん、各色の発光効率がバランスよく、色純度もバランスがよければ、同一面積でもかまわない。しかし、1つまたは複数の色のバランスが悪ければ、画素電極の発光面積を調整することが好ましい。各色の電極面積は電流密度を基準に決定すればよい。つまり、色温度が7000K（ケルビン）以上12000K以下の範囲で、ホワイトバランスを調整した時、各色の電流密度の差が±30%以内となるようにする。さらに好ましくは±15%以内となるようにする。たとえば、電流密度が100A/平方メートルとすれば、3原色がいずれも70A/平方メートル以上130A/平方メートル以下となるようにする。さらに好ましくは、3原色がいずれも85A/平方メートル以上115A/平方メートル以下となるようにする。

有機ELは自己発光素子である。この発光による光がスイッチング素子としてのトランジスタに入射するとホトコンダクタ現象が発生する。ホトコンとは、光励起によりトランジスタなどのスイッチング素子のオフ時でのリーク（オフリーク）が増える現象をいう。

この課題に対処するため、本発明ではゲートドライバ12（場合によ

5 ってはソースドライバ14)の下層、画素トランジスタ11の下層に遮光膜を形成している。遮光膜はクロムなどの金属薄膜で形成し、その膜厚は50nm以上150nm以下にする。膜厚が薄いと遮光効果が乏しく、厚いと凹凸が発生して上層のトランジスタ11aのパターニングが困難になる。

10 遮光膜上に20nm以上100nm以下の無機材料からなる平滑化膜を形成する。この遮光膜のレイヤーを用いて蓄積容量19の一方の電極を形成してもよい。この場合、平滑膜は極力薄く作り蓄積容量の容量値を大きくすることが好ましい。また遮光膜をアルミで形成し、陽極酸化技術を用いて酸化シリコン膜を遮光膜の表面に形成し、この酸化シリコン膜を蓄積容量19の誘電体膜として用いてもよい。平滑化膜上にはハイパーチャ(HA)構造の画素電極が形成される。

15 ドライバ回路12などは裏面だけでなく、表面からの光の進入も抑制するべきである。ホトコンダクタ現象の影響により誤動作するからである。したがって、本発明では、カソード電極が金属膜の場合は、ドライバ12などの表面にもカソード電極を形成し、この電極を遮光膜として用いている。

20 しかし、ドライバ12の上にカソード電極を形成すると、このカソード電極からの電界によるドライバの誤動作あるいはカソード電極とドライバ回路との電氣的接触が発生する可能性がある。この課題に対処するため、本発明ではドライバ回路12などの上に少なくとも1層、好ましくは複数層の有機EL膜を画素電極上の有機EL膜形成と同時に形成する。

25 基本的に有機EL膜は絶縁物であるから、ドライバ上に有機EL膜を形成することにより、カソードとドライバとの間が隔離される。したがって、前述の課題を解消することができる。

画素の1つ以上のトランジスタ11の端子間あるいはトランジスタ11と信号線とが短絡すると、EL素子15が常時、点灯することにな

り、かかる画素が輝点となる場合がある。この輝点は視覚的に目立つので黒点化（非点灯）する必要がある。輝点に対しては、該当画素16を検出し、コンデンサ19にレーザー光を照射してコンデンサの端子間を短絡させる。したがって、コンデンサ19には電荷を保持できなくなるので、トランジスタ11aは電流を流さなくすることができる。

なお、レーザー光を照射する位置にあたるカソード膜を除去しておくことが望ましい。レーザー照射により、コンデンサ19の端子電極とカソード膜とがショートすることを防止するためである。

画素16のトランジスタ11の欠陥は、ドライバ回路14などにも影響を与える。例えば、第56図では駆動用トランジスタ11aにソースドレイン（SD）ショート562が発生していると、パネルのV_{dd}電圧がソースドライバ14に印加される。したがって、ソースドライバ14の電源電圧は、パネルの電源電圧V_{dd}と同一かもしくは高くしておくことが好ましい。なお、ソースドライバ14で使用する基準電流は電子ボリウム561で調整できるように構成しておくことが好ましい。

トランジスタ11aにSDショート562が発生していると、EL素子15に過大な電流が流れる。つまり、EL素子15が常時点灯状態（輝点）となる。輝点は欠陥として目立ちやすい。たとえば、第56図において、トランジスタ11aのソースドレイン（SD）ショートが発生していると、トランジスタ11aのゲート（G）端子電位の大小に関わらず、V_{dd}電圧からEL素子15に電流が常時流れる（トランジスタ11dがオンの時）。したがって、EL素子15が輝点となる。

また、トランジスタ11aにSDショートが発生していると、トランジスタ11cがオン状態の時、V_{dd}電圧がソース信号線18に印加されソースドライバ14にV_{dd}電圧が印加される。もし、ソースドライバ14の電源電圧がV_{dd}以下であれば、耐圧を越えて、ソースドライバ14が破壊されるおそれがある。そのため、ソースドライバ14の電源電圧はV_{dd}電圧（パネルの高い方の電圧）以上にすることが好まし

い。

トランジスタ 11a の S D ショートなどは、点欠陥にとどまらず、パネルのソースドライバの破壊につながるおそれがあり、また、輝点は目立つためパネルとしては不良となる。したがって、トランジスタ 11a と E L 素子 15 との間を接続する配線を切断し、輝点を黒点欠陥にする必要がある。この切断には、レーザー光などの光学手段を用いて切断すればよい。

5 10 15 20 25

なお、以上の実施例は配線を切断させるとしたが、黒表示するためにはこれに限定されるものではない。たとえば、第 1 図でもわかるように、トランジスタ 11a の電源 V d d が、トランジスタ 11a のゲート (G) 端子に常時印加されるように修正してもよい。たとえば、コンデンサ 19 の 2 つの電極間をショートさせれば、V d d 電圧がトランジスタ 11a のゲート (G) 端子に印加されるようになる。したがって、トランジスタ 11a は完全にオフ状態になり、E L 素子 15 に電流を流さなくすることができる。これは、コンデンサ 19 にレーザー光を照射することによりコンデンサ電極をショートできるため、容易に実現できる。

また、実際には、画素電極の下層に V d d 配線が配置されているから、V d d 配線と画素電極とにレーザー光を照射することにより、画素の表示状態を制御 (修正) することができる。

20 25

その他、トランジスタ 11a の S D 間 (チャンネル) をオープンにすることでも実現できる。簡単にはトランジスタ 11a にレーザー光を照射し、トランジスタ 11a のチャンネルをオープンにする。同様に、トランジスタ 11d のチャンネルをオープンにしてもよい。もちろん、トランジスタ 11b のチャンネルをオープンにした場合、該当画素 16 が選択されないから、黒表示となる。

画素 16 を黒表示にするためには、E L 素子 15 を劣化させてもよい。たとえば、レーザー光を E L 層 15 に照射し、E L 層 15 を物理的にあたるいは化学的に劣化させ、発光しないようにする (常時黒表示)。レー

レーザー光の照射によりEL層15を加熱し、容易に劣化させることができる。また、エキシマレーザーを用いれば、EL膜15の化学的変化を容易に行うことができる。

5 なお、以上の実施例は、第1図に図示した画素構成を例示したが、本発明はこれに限定するものではない。レーザー光を用いて配線あるいは電極をオープンあるいはショートさせることは、カレントミラーなどの他の電流駆動の画素構成あるいは第62図、第51図などに示されている電圧駆動の画素構成であっても適用できることは言うまでもない。

10 以下、第1図に示す画素構成について、その駆動方法について説明をする。第1図に示すように、ゲート信号線17aは行選択期間に導通状態（ここでは第1図のトランジスタ11がpチャネルトランジスタであるためローレベルで導通となる）となり、ゲート信号線17bは非選択期間時に導通状態とする。

15 ソース信号線18には寄生容量（図示せず）が存在する。寄生容量は、ソース信号線18とゲート信号線17とのクロス部の容量、トランジスタ11b、11cのチャンネル容量などにより発生する。

20 ソース信号線18の電流値変化に要する時間 t は、寄生容量の大きさを C 、ソース信号線18の電圧を V 、ソース信号線18に流れる電流を I とすると $t = C \cdot V / I$ である。そのため、電流値を10倍大きくすることにより電流値変化に要する時間を10分の1近くまで短くすることができる。またはソース信号線18の寄生容量が10倍になっても所定の電流値に変化させることができるということを示している。従って、短い水平走査期間内に所定の電流値を書きこむためには電流値を増加させることが有効である。

25 なお、ソース信号線18の寄生容量の充放電を行うためには、 $I > (C \cdot V) / t$ の関係を満たす電流値 I をソース信号線18に流せばよい。

ところで、入力電流を10倍にすると出力電流も10倍となる。しか

し、この場合、ELの輝度も10倍となるため、所定の輝度を得ることができない。そこで、本発明では、第1図のトランジスタ17dの導通期間を従来の10分の1とし、EL素子15の発光期間を10分の1とすることで、所定の輝度を実現するようにした。

5 つまり、ソース信号線18の寄生容量の充放電を十分に行い、所定の電流値を画素16のトランジスタ11aにプログラムするためには、ソースドライバ14から比較的大きな電流を出力する必要がある。しかし、このように大きな電流をソース信号線18に流すとこの電流値が画素にプログラムされてしまい、所定の電流に対し大きな電流がEL素子15に流れる。たとえば、10倍の電流でプログラムすれば、当然、10倍の電流がEL素子15に流れ、EL素子15は10倍の輝度で発光する。所定の発光輝度にするためには、EL素子15に流れる時間を1/10にすればよい。このように駆動することにより、ソース信号線18の寄生容量を十分に充放電できるし、所定の発光輝度を得ることができ
15 る。

なお、10倍の電流値を画素のトランジスタ11a（正確にはコンデンサ19の端子電圧を設定している）に書き込み、EL素子15のオン時間を1/10にするとしたがこれは一例である。場合によっては、10倍の電流値を画素のトランジスタ11aに書き込み、EL素子15の
20 オン時間を1/5にしてもよい。また、10倍の電流値を画素のトランジスタ11aに書き込み、EL素子15のオン時間を1/2倍にする場合もあるであろう。

本発明は、画素への書き込み電流を所定値以外の値にし、EL素子15に流れる電流を間欠状態にして駆動することに特徴がある。本明細書
25 では説明を容易にするため、所定の電流のN倍の電流を画素のトランジスタ11に書き込み、EL素子15のオン時間を1/N倍にするとして説明する。しかし、これに限定するものではなく、N1倍の電流を画素のトランジスタ11に書き込み、EL素子15のオン時間を1/(N

2) 倍 ($N=1$ と $N=2$ とは異なる) でもよいことは言うまでもない。

ここで、前記所定の電流とは、画像信号が示す階調表示を実現するために必要となる電流である。この所定の電流の電流値は、EL表示装置の仕様などによって異なるが、例えば輝度 150 n t を実現する場合は 0.25 ~ 0.75 μ A 程度である。したがって、 $N=4$ の場合であれば、トランジスタ 11 に書き込まれる電流値は 1 ~ 3 μ A 程度となる。同様にして、 $N=8$ の場合であれば前記電流値は 2 ~ 6 μ A となり、 $N=2$ の場合であれば前記電流値は 0.5 ~ 1.5 μ A となる。

なお、間欠する間隔は等間隔に限定するものではない。たとえば、ランダムでもよい (全体として、表示期間もしくは非表示期間が所定値 (一定割合) となればよい)。また、RGB で異なってもよい。つまり、白 (ホワイト) バランスが最適になるように、R、G、B 表示期間もしくは非表示期間が所定値 (一定割合) となるように調整 (設定) すればよい

また、説明を容易にするため、 $1/N$ とは、1 F (1 フィールドまたは 1 フレーム期間) を基準にしてこの 1 F を $1/N$ にするとして説明する。しかし、1 画素行が選択され、電流値がプログラムされる時間 (通常、1 水平走査期間 (1 H)) があるし、また、走査状態によっては誤差も生じる。したがって、以上の説明はあくまでも説明を容易にするための便宜上の問題だけであり、これに限定するものではない。

たとえば、 $N=10$ 倍の電流で画素 16 に電流をプログラムし、 $1/5$ の期間の間、EL 素子 15 を点灯させてもよい。EL 素子 15 は、 $10/5=2$ 倍の輝度で点灯する。逆に、 $N=2$ 倍の電流で画素 16 に電流をプログラムし、 $1/4$ の期間の間、EL 素子 15 を点灯させてもよい。EL 素子 15 は、 $2/4=0.5$ 倍の輝度で点灯する。つまり、本発明は、 $N=1$ 倍でない電流でプログラムし、かつ、常時点灯 ($1/1$ 、つまり、間欠駆動でない) 状態以外の表示を実施するものである。また、広義には、EL 素子 15 に供給する電流を 1 フレーム (あるいは 1 フィ

ールド)の期間において、少なくとも1回、オフにする駆動方式である。また、所定値よりも大きな電流を画素16にプログラムし、少なくとも、間欠表示を実施する駆動方式である。

有機(無機)EL表示装置は、CRTのように電子銃で線表示の集合として画像を表示するディスプレイとは表示方法が基本的に異なる点にも課題がある。つまり、EL表示装置では、1F(1フィールドあるいは1フレーム)の期間の間は、画素に書き込んだ電流(電圧)を保持する。そのため、動画表示を行うと表示画像の輪郭ぼけが発生するという課題が生じる。

本発明では、1F/Nの期間の間だけ、EL素子15に電流を流し、他の期間(1F(N-1)/N)は電流を流さない。この駆動方式を実施し画面の一点を観測した場合を考える。この表示状態では1Fごとに画像データ表示、黒表示(非点灯)が繰り返し表示される。つまり、画像データの表示状態が時間的に飛び飛び表示(間欠表示)状態となる。動画データ表示を、この間欠表示状態でみると画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、CRTに近い動画表示を実現することができる。また、間欠表示を実現するが、回路のメインクロックは従来と変わらない。したがって、回路の消費電力が増加することもない。

液晶表示パネルの場合は、光変調をする画像データ(電圧)は液晶層に保持される。したがって、黒挿入表示を実施しようとする液晶層に印加しているデータを書き換える必要がある。そのため、ソースドライバ14の動作クロックを高くし、画像データと黒表示データとを交互にソース信号線18に印加する必要がある。したがって、黒挿入(黒表示などの間欠表示)を実現しようとする回路のメインクロックをあげる必要がある。また、時間軸伸張を実施するための画像メモリも必要になる。

第1図、第2図、および第38図などに示す本発明のEL表示パネル

の画素構成では、画像データはコンデンサ 19 に保持されている。このコンデンサ 19 の端子電圧に対応する電流を EL 素子 15 に流す。したがって、画像データは液晶表示パネルのように光変調層に保持されているのではない。

- 5 本発明はスイッチングのトランジスタ 11 d、あるいはトランジスタ 11 e などをオンオフさせるだけで EL 素子 15 に流す電流を制御する。つまり、EL 素子 15 に流れる電流 I_w をオフにしても、画像データはそのままコンデンサ 19 に保持されている。したがって、次のタイミングでスイッチング素子 11 d などをオンさせ、EL 素子 15 に電流
10 を流せば、その流れる電流は前に流れていた電流値と同一である。本発明では黒挿入（黒表示などの間欠表示）を実現する際においても、回路のメインクロックをあげる必要がない。また、時間軸伸張を実施する必要もないための画像メモリも不要である。また、有機 EL 素子 15 は電流を供給してから発光するまでの時間が短く、高速に応答する。そのため、動画表示に適し、さらに間欠表示を実施することにより、従来のデータ保持型の表示パネル（液晶表示パネル、EL 表示パネルなど）の問題である動画表示の問題を解決できる。

- さらに、大型の表示装置でソース容量が大きくなる場合はソース電流を 10 倍以上にしてやればよい。一般にソース電流値を N 倍にした場合、
20 ゲート信号線 17 b（トランジスタ 11 d）の導通期間を $1/F/N$ とすればよい。これによりテレビ、モニター用の表示装置などにも適用が可能である。

- 以下、図面を参照しながら、本発明の駆動方法についてさらに詳しく説明をする。ソース信号線 18 の寄生容量は、隣り合うソース信号線 1
25 8 との間の結合容量、ソースドライバ IC（回路）14 のバッファ出力容量、ゲート信号線 17 とソース信号線 18 とのクロス容量などにより発生する。この寄生容量は通常 10 pF 以上となる。電圧駆動の場合は、ドライバ IC 14 からは低インピーダンスで電圧がソース信号線 18

に印加されるため、寄生容量が多少大きくとも駆動では問題とならない。

しかし、電流駆動では特に黒レベルの画像表示では 20 nA 以下の微小電流で画素のコンデンサ 19 をプログラムする必要がある。したがって、寄生容量が所定値以上の大きさに発生すると、1 画素行にプログラムする時間（通常、1 H 以内、ただし、2 画素行を同時に書き込む場合もある）があるので 1 H 以内に限定されるものではない）内に寄生容量を充放電することができない。しかし 1 H 期間で充放電できなれば、画素への書き込み不足となり、所望の解像度での表示を実現することができない。

第 1 図の画素構成の場合、第 3 図 (a) に示すように、電流プログラム時は、プログラム電流 I_w がソース信号線 18 に流れる。この電流 I_w がトランジスタ 11 a を流れ、電流 I_w を流す電圧が保持されるように、コンデンサ 19 に電圧設定（プログラム）される。このとき、トランジスタ 11 d はオープン状態（オフ状態）である。

次に、EL 素子 15 に電流を流す期間は第 3 図 (b) のように、トランジスタ 11 c、11 b がオフし、トランジスタ 11 d が動作する。つまり、ゲート信号線 17 a にオフ電圧 (V_{gh}) が印加され、トランジスタ 11 b、11 c がオフする。一方、ゲート信号線 17 b にオン電圧 (V_{gl}) が印加され、トランジスタ 11 d がオンする。

今、電流 I_w が本来流すべき電流（所定値）の 10 倍であるとする、第 3 図 (b) の EL 素子 15 に流れる電流も所定値の 10 倍となる。したがって、所定値の 10 倍の輝度で EL 素子 15 は発光することになる。つまり、第 12 図に図示するように、倍率 N を高くするほど、表示パネルの表示輝度 B も高くなる。したがって、輝度と倍率とは比例関係となる。一方、 $1/N$ で駆動することにより、輝度と倍率とは反比例の関係となる。

そこで、トランジスタ 11 d を本来オンする時間（約 1 F）の $1/N$ の期間だけオンさせ、他の期間 $(N-1)/N$ 期間はオフさせれば、1 F 全体の平均輝度は所定の輝度となる。この表示状態は、CRT が電子

銃で画面を走査しているのと近似する。異なる点は、画像を表示している範囲が画面全体の $1/N$ （全画面を1とする）が点灯している点である（CRTでは、点灯している範囲は1画素行（厳密には1画素）である）。

- 5 本発明では、この $1F/N$ の画像表示領域 53 が第13図（b）に示すように画面 50 の上から下に移動する。本発明では、 $1F/N$ の期間の間だけ、EL素子 15 に電流が流れ、他の期間（ $1F \cdot (N-1)/N$ ）は電流が流れない。したがって、各画素は間欠表示となる。しかし、人間の目には残像により画像が保持された状態となるので、全画面が均一に表示されているように見える。

- 10 なお、第13図に図示するように、書き込み画素行 51a は非点灯表示 52a とする。しかし、これは、第1図、第2図などの画素構成の場合である。第38図などで図示するカレントミラーの画素構成では、書き込み画素行 51a は点灯状態としてもよい。しかし、本明細書では、
- 15 説明を容易にするため、主として、第1図の画素構成を例示して説明をする。また、第13図、第16図などの所定駆動電流 I_w よりも大きい電流でプログラムし、間欠駆動する駆動方法をN倍パルス駆動と呼ぶ。

- この表示状態では $1F$ ごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データの表示状態が時間的に飛び飛び表示（間欠表示）状態となる。液晶表示パネル（および本発明以外のEL表示パネル）では、 $1F$ の期間、画素にデータが保持されているため、
- 20 動画表示の場合は画像データが変化してもその変化に追従することができず、動画ボケとなっていた（画像の輪郭ボケ）。しかし、本発明では画像を間欠表示するため、画像の輪郭ぼけがなくなり良好な表示状態
- 25 を実現できる。つまり、CRTに近い動画表示を実現することができる。

このタイミングチャートを第14図に示す。なお、本発明などにおいて、特に断りがない時の画素構成は第1図に示したものである。第14図でわかるように、各選択された画素行（選択期間は、 $1H$ としている）

において、ゲート信号線 17 a にオン電圧 (V_{g1}) が印加されている時 (第 14 図 (a) を参照) には、ゲート信号線 17 b にはオフ電圧 (V_{gh}) が印加されている (第 14 図 (b) を参照)。この期間は、EL 素子 15 には電流が流れていない (非点灯状態)。一方、選択されてい
5 ない画素行においては、ゲート信号線 17 a にオフ電圧 (V_{gh}) が印加され、ゲート信号線 17 b にはオン電圧 (V_{g1}) が印加されている。この期間は、EL 素子 15 に電流が流れている (点灯状態)。また、点灯状態では、EL 素子 15 は所定の N 倍の輝度 ($N \cdot B$) で点灯し、その点灯期間は $1F/N$ である。したがって、 $1F$ を平均した表示パネル
10 の表示輝度は、 $(N \cdot B) \times (1/N) = B$ (所定輝度) となる。

第 15 図は、第 14 図の動作を各画素行に適用した実施例である。ゲート信号線 17 に印加する電圧波形を示している。電圧波形はオフ電圧を V_{gh} (Hレベル) とし、オン電圧を V_{g1} (Lレベル) としている。

(1)、(2) などの添え字は選択している画素行の行番号を示している。
15 る。

第 15 図において、ゲート信号線 17 a (1) が選択され (V_{g1} 電圧)、選択された画素行のトランジスタ 11 a からソースドライバ 14 に向かってソース信号線 18 にプログラム電流が流れる。このプログラム電流は所定値の N 倍 (説明を容易にするため、 $N=10$ として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラ
20 スター表示などでない限り固定値ではない。) である。したがって、コンデンサ 19 には 10 倍の電流がトランジスタ 11 a に流れるようにプログラムされる。画素行 (1) が選択されている時は、第 1 図の画素構成ではゲート信号線 17 b (1) はオフ電圧 (V_{gh}) が印加され、
25 EL 素子 15 には電流が流れない。

1H 後には、ゲート信号線 17 a (2) が選択され (V_{g1} 電圧)、選択された画素行のトランジスタ 11 a からソースドライバ 14 に向かってソース信号線 18 にプログラム電流が流れる。このプログラム電

流は所定値の N 倍（説明を容易にするため、 $N=10$ として説明する）である。したがって、コンデンサ19には10倍の電流がトランジスタ11aに流れるようにプログラムされる。画素行（2）が選択されている時は、第1図の画素構成ではゲート信号線17b（2）はオフ電圧（ V_{gh} ）が印加され、EL素子15には電流が流れない。しかし、先の画素行（1）のゲート信号線17a（1）にはオフ電圧（ V_{gh} ）が印加され、ゲート信号線17b（1）にはオン電圧（ V_{g1} ）が印加されるため、点灯状態となっている。

次の1H後には、ゲート信号線17a（3）が選択され、ゲート信号線17b（3）はオフ電圧（ V_{gh} ）が印加され、画素行（3）のEL素子15には電流が流れない。しかし、先の画素行（1）（2）のゲート信号線17a（1）（2）にはオフ電圧（ V_{gh} ）が印加され、ゲート信号線17b（1）（2）にはオン電圧（ V_{g1} ）が印加されるため、点灯状態となっている。

以上の動作を1Hの同期信号に同期して画像を表示していく。しかし、第15図の駆動方式では、EL素子15には10倍の電流が流れる。したがって、表示画面50は約10倍の輝度で表示される。もちろん、この状態で所定の輝度表示を行うためには、プログラム電流を $1/10$ にしておけばよいことは言うまでもない。しかし、 $1/10$ の電流であれば寄生容量などにより書き込み不足が発生するため、高い電流でプログラムし、黒画面52の挿入により所定の輝度を得るのが本発明の基本的な主旨である。

ところで、本発明の駆動方法においては、所定電流よりも高い電流がEL素子15に流れるようにし、ソース信号線18の寄生容量を十分に充放電することが要点である。したがって、EL素子15に所定電流の N 倍の電流を流さなくともよい。たとえば、EL素子15に並列に電流経路を形成し（ダミーのEL素子を形成し、このEL素子は遮光膜を形成して発光させないなどの処理を施す）、ダミーEL素子とEL素子1

5 とに分けて電流を流しても良い。たとえば、信号電流が $0.2\mu\text{A}$ のとき、プログラム電流を $2.2\mu\text{A}$ として、トランジスタ 11a には $2.2\mu\text{A}$ を流す。この電流のうち、信号電流 $0.2\mu\text{A}$ を EL 素子 15 に流して、 $2\mu\text{A}$ をダミーの EL 素子に流すなどの方式が例示される。つまり、第 27 図のダミー画素行 281 を常時選択状態にする。なお、ダミー画素行は発光させないか、もしくは、遮光膜などを形成し、発光していても視覚的に見えないように構成する。

10 以上のように構成することにより、ソース信号線 18 に流す電流を N 倍に増加させることにより、駆動用トランジスタ 11a に所定電流の N 倍の電流が流れるようにプログラムすることができ、かつ、EL 素子 15 には、前記 N 倍の電流よりは十分小さい電流を流すことができることになる。以上の方法では、第 5 図に図示するように、非点灯領域 52 を設けることなく、全表示領域 50 を画像表示領域 53 とすることができる。

15 第 13 図 (a) は表示画面 50 への書き込み状態を図示している。第 13 図 (a) において、51a は書き込み画素行である。ソースドライバ 14 から各ソース信号線 18 にプログラム電流が供給される。なお、第 13 図などでは 1 H 期間に書き込む画素行は 1 行である。しかし、何ら 1 H に限定するものではなく、 0.5H 期間でも、 2H 期間でもよい。また、ソース信号線 18 にプログラム電流を書き込むとしたが、本発明は電流プログラム方式に限定するものではなく、ソース信号線 18 に書き込まれるのが電圧である電圧プログラム方式 (第 6.2 図など) でもよい。

25 第 13 図 (a) において、ゲート信号線 17a が選択されるとソース信号線 18 に流れる電流がトランジスタ 11a にプログラムされる。このとき、ゲート信号線 17b にはオフ電圧が印加され、その結果 EL 素子 15 には電流が流れない。これは、トランジスタ 11d がオン状態であると、ソース信号線 18 から EL 素子 15 の容量成分が見え、この容

量に影響されてコンデンサ 19 に十分に正確な電流プログラムができなくなるためである。したがって、第 1 図に示す構成を例にすれば、第 13 図 (b) で示すように電流が書き込まれている画素行は非点灯領域 52 となる。

- 5 今、 N （ここでは、先に述べたように $N=10$ とする）倍の電流でプログラムしたとすれば、画面の輝度は 10 倍になる。したがって、表示領域 50 の 90% の範囲を非点灯領域 52 とすればよい。したがって、画像表示領域の水平走査線が QCI F (Quarter Common Intermediate Format) の 220 本 ($S=220$) とすれば、22 本を表示領域 53 と
- 10 し、 $220-22=198$ 本を非表示領域 52 とすればよい。一般的に述べれば、水平走査線の本数（画素行数）を S とすれば、 S/N の領域を表示領域 53 とし、この表示領域 53 を N 倍の輝度で発光させる。そして、この表示領域 53 を画面の上下方向に走査する。したがって、 S ($N-1$) / N の領域は非点灯領域 52 とする。この非点灯領域は黒表示（非発光）である。また、この非発光領域 52 はトランジスタ 11d
- 15 をオフさせることにより実現する。なお、 N 倍の輝度で点灯させるとしたが、当然のことながら明るさ調整、ガンマ調整により N 倍の値に調整することは言うまでもない。

- また、先の実施例で、10 倍の電流でプログラムしたとすれば、画面
- 20 の輝度は 10 倍となるため、表示領域 50 の 90% の範囲を非点灯領域 52 とすればよいとした。しかし、これは、RGB の画素を共通に非点灯領域 52 とすることには限定するものではない。例えば、R の画素は、 $1/8$ を非点灯領域 52 とし、G の画素は、 $1/6$ を非点灯領域 52 とし、B の画素は、 $1/10$ を非点灯領域 52 と、それぞれの色により変化させてもよい。また、RGB の色で個別に非点灯領域 52（あるいは
- 25 点灯領域 53）を調整できるようにしてもよい。これらを実現するためには、R、G、B で個別のゲート信号線 17b が必要になる。しかし、以上の RGB の個別調整を可能にすることにより、ホワイトバランスを

調整することが可能になり、各階調において色のバランス調整が容易になる（第 4 1 図を参照のこと）。

第 1 3 図（b）に図示するように、書き込み画素行 5 1 a を含む画素行を非点灯領域 5 2 とし、書き込み画素行 5 1 a よりも上画面の S / N
5 （時間的には 1 F / N）の範囲を表示領域 5 3 とする（画面を下から上に走査する場合は、その逆となる）。画像表示状態は、表示領域 5 3 が帯状になって、画面の上から下に移動する。

第 1 3 図の表示では、1 つの表示領域 5 3 が画面の上から下方向に移動する。フレームレートが低いと、表示領域 5 3 が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

この課題に対しては、第 1 6 図に図示するように、表示領域 5 3 を複数に分割するとよい。この分割された総和が $S (N - 1) / N$ の面積となれば、第 1 3 図の明るさと同等になる。なお、分割された表示領域 5
15 3 は等しく（等分に）する必要はない。また、同様に分割された非表示領域 5 2 も等しくする必要はない。

以上のように、表示領域 5 3 を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割する
20 ほど動画表示性能は低下することになる。

第 1 7 図はゲート信号線 1 7 の電圧波形および E L の発光輝度を図示している。第 1 7 図で明らかなように、ゲート信号線 1 7 b を V g 1 にする期間（1 F / N）を複数に分割（分割数 K）している。つまり、V g 1 にする期間は 1 F / （K / N）の期間を K 回実施する。このよう
25 に制御すれば、フリッカの発生を抑制でき、低フレームレートの画像表示を実現できる。また、この画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ポリウムを回すことにより、この変化を検

出してKの値を変更してもよい。また、ユーザーが輝度を調整するように構成してもよい。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

5 なお、第17図などにおいて、ゲート信号線17bをVg1にする期間(1F/N)を複数に分割(分割数K)し、1F/(K/N)の期間をK回実施することとしたがこれに限定されるわけではない。1F/(K/N)の期間をL(L≠K)回実施してもよい。つまり、本発明は、EL素子15に流す期間(時間)を制御することにより画像を表示するものである。したがって、1F/(K/N)の期間をL(L≠K)回実施することは本発明の技術的思想に含まれる。また、Lの値を変化させることにより、画像50の輝度をデジタル的に変更することができる。たとえば、L=2とL=3では50%の輝度(コントラスト)変化となる。また、画像の表示領域53を分割する時、ゲート信号線17bをVg1にする期間は同一期間に限定するものではない。

15 以上の実施例は、EL素子15に流れる電流を遮断し、また、EL素子に流れる電流を接続することにより、表示画面50をオンオフ(点灯、非点灯)するものであった。つまり、コンデンサ19に保持された電荷によりトランジスタ11aに複数回、略同一の電流を流すものである。しかし、本発明はこれに限定するものではない。たとえば、コンデンサ19に保持された電荷を充放電させることにより、表示画面50をオンオフ(点灯、非点灯)する方式でもよい。

25 第18図は第16図の画像表示状態を実現するための、ゲート信号線17に印加する電圧波形を示している。第18図と第15図の差異は、ゲート信号線17bの動作である。ゲート信号線17bは画面を分割する個数に対応して、その個数分だけオンオフ(Vg1とVgh)動作する。他の点は第15図と同一であるので説明を省略する。

EL表示装置では黒表示は完全に非点灯であるから、液晶表示パネルを間欠表示した場合のように、コントラストの低下はない。また、第1

図に示す構成においては、トランジスタ 11 d をオンオフ操作するだけで間欠表示を実現できる。また、第 38 図、第 51 図の構成においては、トランジスタ素子 11 e をオンオフ操作するだけで、間欠表示を実現することができる。これは、コンデンサ 19 に画像データがメモリ（アナログ値であるから階調数は無限大）されているからである。つまり、各画素 16 に、画像データは 1 F の期間中は保持されている。この保持されている画像データに相当する電流を EL 素子 15 に流すか否かをトランジスタ 11 d、11 e の制御により実現しているのである。したがって、以上の駆動方法は、電流駆動方式に限定されるものではなく、電圧駆動方式にも適用できるものである。つまり、EL 素子 15 に流す電流が各画素内で保存している構成において、EL 素子 15 間の電流経路において駆動用トランジスタ 11 をオンオフすることにより、間欠駆動を実現するものである。

コンデンサ 19 の端子電圧を維持することは重要である。1 フィールド（フレーム）期間でコンデンサ 19 の端子電圧が変化（充放電）すると、画面輝度に変化し、フレームレートが低下した時にちらつき（フリッカなど）が発生するからである。トランジスタ 11 a が 1 フレーム（1 フィールド）期間で EL 素子 15 に流す電流は、少なくとも 65 % 以下に低下しないようにする必要がある。この 65 % とは、画素 16 に書き込み、EL 素子 15 に流す電流の最初が 100 % とした時、次のフレーム（フィールド）で前記画素 16 に書き込む直前の EL 素子 15 に流す電流を 65 % 以上とすることである。

第 1 図の画素構成では、間欠表示を実現する場合としない場合とでは、1 画素を構成するトランジスタ 11 の個数に変化はない。つまり、画素構成はそのまま、ソース信号線 18 の寄生容量の影響を除去し、良好な電流プログラムを実現している。その上、CRT に近い動画表示を実現しているのである。

また、ゲートドライバ 12 の動作クロックはソースドライバ 14 の動

作クロックに比較して十分に遅いため、回路のメインクロックが高くなるということはない。また、Nの値の変更も容易である。

なお、画像表示方向（画像書き込み方向）は、1フィールド（1フレーム）目では画面の上から下方向とし、つぎの第2フィールド（フレーム）目では画面の下から上方向としてもよい。つまり、上から下方向と、
5 下から上方向とを交互に繰り返すようにしてもよい。

さらに、1フィールド（1フレーム）目では画面の上から下方向とし、いったん、全画面を黒表示（非表示）とした後、つぎの第2フィールド（フレーム）目では画面の下から上方向としてもよい。また、いったん、
10 全画面を黒表示（非表示）としてもよい。

なお、以上の駆動方法の説明では、画面の書き込み方法を画面の上から下あるいは下から上としたが、これに限定するものではない。画面の書き込み方向は絶えず、画面の上から下あるいは下から上と固定し、非表示領域52の動作方向を1フィールド目では画面の上から下方向とし、つぎの第2フィールド目では画面の下から上方向としてもよい。また、1フレームを3フィールドに分割し、第1のフィールドではR、第2のフィールドではG、第3のフィールドではBとして、3フィールドで1フレームを形成するとしてもよい。また、1水平走査期間（1H）ごとに、R、G、Bを切り替えて表示してもよい。以上の事項は他の本
15 発明の実施例でも同様である。

非表示領域52は完全に非点灯状態である必要はない。微弱な発光あるいはうっすらとした画像表示があっても実用上は問題ない。つまり、画像表示領域53よりも表示輝度が低い領域と解釈するべきである。また、非表示領域52とは、R、G、B画像表示のうち、1色または2色
25 のみが非表示状態という場合も含まれる。

基本的には表示領域53の輝度（明るさ）が所定値に維持される場合、表示領域53の面積が広がるほど、画面50の輝度は高くなる。たとえば、表示領域53の輝度が100（nt）の場合、表示領域53が全

画面 50 に占める割合が 10 % から 20 % にすれば、画面の輝度は 2 倍となる。したがって、全画面 50 に占める表示領域 53 の面積を変化させることにより、画面の表示輝度を変化することができる。

表示領域 53 の面積はシフトレジスタ 61 へのデータパルス (S T
5 2) を制御することにより、任意に設定できる。また、データパルスの入力タイミング、周期を変化させることにより、第 16 図の表示状態と第 13 図の表示状態とを切り替えることができる。1 F 周期でのデータパルス数を多くすれば、画面 50 は明るくなり、少なくすれば、画面 50 は暗くなる。また、連続してデータパルスを印加すれば第 13 図の表示状態となり、間欠にデータパルスを入力すれば第 16 図の表示状態となる。

第 19 図 (a) は第 13 図のように表示領域 53 が連続している場合の明るさ調整方式を説明している。第 19 図 (a 1) の画面 50 の表示輝度が最も明るい。第 19 図 (a 2) の画面 50 の表示輝度が次に明るく、第 19 図 (a 3) の画面 50 の表示輝度が最も暗い。第 19 図 (a 1) から第 19 図 (a 3) への変化 (あるいはその逆) は、先にも記載したようにゲートドライバ 12 のシフトレジスタ回路 61 などの制御により、容易に実現できる。この際、第 1 図の V d d 電圧は変化させる必要がない。つまり、電源電圧を変化させずに表示画面 50 の輝度変化
15 を実施できる。また、第 19 図 (a 1) から第 19 図 (a 3) への変化の際、画面のガンマ特性は全く変化しない。したがって、画面 50 の輝度によらず、表示画像のコントラスト、階調特性が維持される。これは本発明の効果のある特徴である。従来の画面の輝度調整では、画面 50 の輝度が低いときは、階調性能が低下する。つまり、高輝度表示の時は
20 64 階調表示を実現できても、低輝度表示の時は、半分以下の階調数しか表示できない場合がほとんどである。これに比較して、本発明の駆動方法では、画面の表示輝度に依存せず、最高の 64 階調表示を実現できる。

第19図(b)は第16図のように表示領域53が分散している場合の明るさ調整方式を説明している。第19図(b1)の画面50の表示輝度が最も明るい。第19図(b2)の画面50の表示輝度が次に明るく、第19図(b3)の画面50の表示輝度が最も暗い。第19図(b1)から第19図(b3)への変化(あるいはその逆)は、先にも記載したようにゲートドライバ12のシフトレジスタ回路61などの制御により、容易に実現できる。第19図(b)のように表示領域53を分散させれば、低フレームレートでもフリッカが発生しない。

さらに低フレームレートでも、フリッカが発生しないようにするには、第19図(c)のように表示領域53を細かく分散させればよい。しかし、動画の表示性能は低下する。したがって、動画を表示するには、第19図(a)の駆動方法が適している。静止画を表示し、低消費電力化を要望する時は、第19図(c)の駆動方法が適している。第19図(a)から第19図(c)の駆動方法の切り替えも、シフトレジスタ61の制御により容易に実現できる。

第20図はソース信号線18に流れる電流を増大させる他の実施例の説明図である。基本的に複数の画素行を同時に選択し、複数の画素行をあわせた電流でソース信号線18の寄生容量などを充放電し電流書き込み不足を大幅に改善する方式である。ただし、複数の画素行を同時に選択するため、1画素あたりの駆動する電流を減少させることができる。したがって、EL素子15に流れる電流を減少させることができる。ここで、説明を容易にするため、一例として、 $N=10$ として説明する(ソース信号線18に流す電流を10倍にする)。

第20図に示すように、本発明では、 K 行の画素行を同時に選択する。ソースドライバ14からは所定電流の N 倍電流をソース信号線18に印加する。各画素にはEL素子15に流す電流の N/K 倍の電流がプログラムされる。EL素子15を所定の発光輝度とするために、EL素子15に流れる時間を1フレーム(1フィールド)の K/N 時間にする。

このように駆動することにより、ソース信号線 18 の寄生容量を十分に充放電でき、良好な解像度で所定の発光輝度を得ることができる。

つまり、1 フレーム (1 フィールド) の K/N の期間の間だけ、EL 素子 15 に電流を流し、他の期間 ($1 F (N-1) K/N$) は電流を流さない。この表示状態では 1 F ごとに画像データ表示、黒表示 (非点灯) が繰り返し表示される。つまり、画像データの表示状態が時間的に飛び飛び表示 (間欠表示) 状態となる。したがって、画像の輪郭ぼけがなくなり良好な動画表示を実現できる。また、ソース信号線 18 には N 倍の電流で駆動するため、寄生容量の影響を受けず、高精細表示パネルにも対応できる。

第 21 図は、第 20 図の駆動方法を実現するための駆動波形の説明図である。信号波形はオフ電圧を V_{gh} (H レベル) とし、オン電圧を V_{gl} (L レベル) としている。各信号線の添え字は画素行の行番号 ((1) (2) (3) など) を記載している。なお、行数は QCI F 表示パネルの場合は 220 本であり、VGA パネルでは 480 本である。

第 21 図において、ゲート信号線 17a (1) が選択され (V_{gl} 電圧)、選択された画素行のトランジスタ 11a からソースドライバ 14 に向かってソース信号線 18 にプログラム電流が流れる。ここでは説明を容易にするため、まず、書き込み画素行 51a が 1 行目の画素行であるとして説明する。

また、ソース信号線 18 に流れるプログラム電流は所定値の N 倍 (説明を容易にするため、 $N=10$ として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。) である。また、5 画素行が同時に選択 ($K=5$) として説明をする。したがって、理想的には 1 つの画素のコンデンサ 19 には 2 倍 ($N/K=10/5=2$) に電流がトランジスタ 11a に流れるようにプログラムされる。

書き込み画素行が (1) 画素行目である時、第 21 図で図示したよう

に、ゲート信号線 17 a は (1) (2) (3) (4) (5) が選択されている。つまり、画素行 (1) (2) (3) (4) (5) のスイッチングトランジスタ 11 b、トランジスタ 11 c がオン状態である。また、ゲート信号線 17 b はゲート信号線 17 a の逆位相となっている。したがって、画素行 (1) (2) (3) (4) (5) のスイッチングトランジスタ 11 d がオフ状態であり、対応する画素行の EL 素子 15 には電流が流れていない。つまり、非点灯状態 52 である。

理想的には、5 画素のトランジスタ 11 a が、それぞれ $I_w \times 2$ の電流をソース信号線 18 に流す（つまり、ソース信号線 18 には $I_w \times 2 \times N = I_w \times 2 \times 5 = I_w \times 10$ 。したがって、本発明の N 倍パルス駆動を実施しない場合が所定電流 I_w とすると、 I_w の 10 倍の電流がソース信号線 18 に流れる）。

以上の動作（駆動方法）により、各画素 16 のコンデンサ 19 には、2 倍の電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ 11 a は特性 (V_t 、S 値) が一致しているとして説明をする。

同時に選択する画素行が 5 画素行 ($K=5$) であるから、5 つの駆動用トランジスタ 11 a が動作する。つまり、1 画素あたり、 $10/5=2$ 倍の電流がトランジスタ 11 a に流れる。ソース信号線 18 には、5 つのトランジスタ 11 a のプログラム電流を加えた電流が流れる。たとえば、書き込み画素行 51 a に、本来、書き込む電流 I_w とし、ソース信号線 18 には、 $I_w \times 10$ の電流を流す。書き込み画素行 (1) より以降に画像データを書き込む書き込み画素行 51 b は、ソース信号線 18 への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行 51 b は後に正規の画像データが書き込まれるので問題がない。

したがって、4 画素行 51 b において、1 H 期間の間は 51 a と同一表示である。そのため、書き込み画素行 51 a と電流を増加させるため

に選択した画素行 5 1 b とを少なくとも非表示状態 5 2 とするのである。ただし、第 3 8 図のようなカレントミラーの画素構成、その他の電圧プログラム方式の画素構成では表示状態としてもよい。

1 H 後には、ゲート信号線 1 7 a (1) は非選択となり、ゲート信号線 1 7 b にはオン電圧 (V_{g1}) が印加される。また、同時に、ゲート信号線 1 7 a (6) が選択され (V_{g1} 電圧)、選択された画素行 (6) のトランジスタ 1 1 a からソースドライバ 1 4 に向かってソース信号線 1 8 にプログラム電流が流れる。このように動作することにより、画素行 (1) には正規の画像データが保持される。

次の、1 H 後には、ゲート信号線 1 7 a (2) は非選択となり、ゲート信号線 1 7 b にはオン電圧 (V_{g1}) が印加される。また、同時に、ゲート信号線 1 7 a (7) が選択され (V_{g1} 電圧)、選択された画素行 (7) のトランジスタ 1 1 a からソースドライバ 1 4 に向かってソース信号線 1 8 にプログラム電流が流れる。このように動作することにより、画素行 (2) には正規の画像データが保持される。1 画素行ずつシフトしながら走査して以上の動作を行うことにより 1 画面が書き換えられる。

第 2 0 図の駆動方法では、各画素において 2 倍の電流 (電圧) がプログラムされるため、各画素の EL 素子 1 5 の発光輝度は理想的には 2 倍となる。したがって、表示画面の輝度は所定値よりも 2 倍となる。これを所定の輝度とするためには、第 1 6 図に図示するように、書き込み画素行 5 1 を含み、かつ表示領域 5 0 の $1/2$ の範囲を非表示領域 5 2 とすればよい。

第 1 3 図と同様に、第 2 0 図のように 1 つの表示領域 5 3 が画面の上から下方向に移動した場合、フレームレートが低いと、表示領域 5 3 が移動する様子が視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

この課題に対しては、第 2 2 図に図示するように、表示領域 5 3 を複

数に分割するとよい。分割された非表示領域 5 2 を加えた部分が $S(N-1)/N$ の面積となれば、分割しない場合と同一となる。

第 2 3 図はゲート信号線 1 7 に印加する電圧波形である。第 2 1 図と第 2 3 図との差異は、基本的にはゲート信号線 1 7 b の動作である。ゲート信号線 1 7 b は画面を分割する個数に対応して、その個数分だけオンオフ (V_{gl} と V_{gh}) 動作する。他の点は第 2 1 図とほぼ同一あるいは類推できるので説明を省略する。

以上のように、表示領域 5 3 を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。分割すればするほどフリッカは軽減する。特に EL 素子 1 5 の応答性は速いため、 $5 \mu \text{sec}$ よりも小さい時間でオンオフしても、表示輝度の低下はない。

本発明の駆動方法において、EL 素子 1 5 のオンオフは、ゲート信号線 1 7 b に印加する信号のオンオフで制御できる。そのため、クロック周波数は KHz オーダーの低周波数で制御が可能である。また、黒画面挿入 (非表示領域 5 2 挿入) を実現するのには、画像メモリなどを必要としない。したがって、低コストで本発明の駆動回路あるいは方法を実現できる。

第 2 4 図は同時に選択する画素行が 2 画素行の場合である。発明者等が検討した結果によると、低温ポリシリコン技術で形成した表示パネルでは、2 画素行を同時に選択する方法は表示均一性が実用的であった。これは、隣接する画素の駆動用トランジスタ 1 1 a の特性が極めて一致しているためと推定される。また、レーザーアニールする際に、ストライプ状のレーザーの照射方向はソース信号線 1 8 と平行に照射することとで良好な結果が得られた。

これは同一時間にアニールされる範囲の半導体膜は、その特性が均一となるためである。つまり、ストライプ状のレーザー照射範囲内では半導体膜が均一に作製され、この半導体膜を利用したトランジスタの V_t 、

モビリティがほぼ等しくなるためである。したがって、ソース信号線 18 の形成方向と平行にストライプ状のレーザーショットを照射し、この照射位置を移動させることにより、ソース信号線 18 に沿った画素（画素列、画面の上下方向の画素）の特性はほぼ等しく作製される。したがって、複数の画素行を同時にオンさせて電流プログラムを行った場合、同時に選択された複数の画素行には、プログラム電流を選択された画素行数で割った電流が、ほぼ同一にプログラムされる。したがって、目標値に近い電流プログラムを実施でき、均一表示を実現できる。したがって、レーザーショット方向と第 24 図などで説明する駆動方式とは相乗効果がある。

以上のように、レーザーショットの方向をソース信号線 18 の形成方向と略一致させることにより、画素の上下方向のトランジスタ 11a の特性がほぼ同一になり、良好な電流プログラムを実施することができる（画素の左右方向のトランジスタ 11a の特性が一致していなくとも）。

以上の動作は、1H（1 水平走査期間）に同期して、1 画素行あるいは複数の画素行ずつ選択画素行の位置をずらして実施する。なお、本発明は、レーザーショットの方向をソース信号線 18 と平行にするとしたが、必ずしも平行でなくともよい。ソース信号線 18 に対して斜め方向にレーザーショットを照射しても 1 つのソース信号線 18 に沿った画素の上下方向のトランジスタ 11a の特性はほぼ一致して形成されるからある。したがって、ソース信号線に平行にレーザーショットを照射するという事は、ソース信号線 18 の配線方向（上下方向）に隣接した任意の画素を、1 つのレーザー照射範囲に入るように形成するということである。また、ソース信号線 18 とは一般的には、画像信号となるプログラム電流あるいは電圧を伝達する配線である。

なお、本発明の実施例では 1H ごとに、書き込み画素行位置をシフトさせることとしたが、これに限定されるわけではなく、2H ごとにシフトしてもよく、また、それ以上の画素行ごとにシフトさせてもよい。ま

た、任意の時間単位でシフトしてもよい。さらに、画面位置に応じて、シフトする時間を変化させてもよい。たとえば、画面の中央部でのシフト時間を短くし、画面の上下部でシフト時間を長くしてもよい。また、フレームごとにシフト時間を変化させてもよい。また、連続した複数画素行を選択することに限定するものではない。例えば、1画素行へだてた画素行を選択してもよい。つまり、第1番目の水平走査期間に第1番目の画素行と第3番目の画素行とを選択し、第2番目の水平走査期間に第2番目の画素行と第4番目の画素行とを選択し、第3番目の水平走査期間に第3番目の画素行と第5番目の画素行とを選択し、第4番目の水平走査期間に第4番目の画素行と第6番目の画素行とを選択するといった駆動方法である。もちろん、第1番目の水平走査期間に第1番目の画素行と第3番目の画素行と第5番目の画素行とを選択するという駆動方法も技術的範疇である。もちろん、複数画素行へだてた画素行位置を選択してもよい。

15 なお、以上のレーザーショット方向と、複数本の画素行を同時に選択するという組み合わせは、第1図、第2図、第32図の画素構成のみに限定されるものではなく、カレントミラーの画素構成である第38図、第42図、第50図などの他の電流駆動方式の画素構成にも適用できることはいうまでもない。また、第43図、第51図、第54図、第62図などの電圧駆動の画素構成にも適用できる。なぜなら、上下方向に隣接する画素のトランジスタの特性が一致していれば、同一のソース信号線18に印加した電圧値により良好な電圧プログラムを実施できるからである。

25 第24図において、書き込み画素行が1行目である場合、ゲート信号線17aは(1)(2)が選択されている(第25図を参照のこと)。つまり、画素行(1)(2)のスイッチングトランジスタ11b、トランジスタ11cがオン状態である。また、ゲート信号線17bはゲート信号線17aの逆位相となっている。したがって、少なくとも画素行

(1) (2) のスイッチングトランジスタ 11 d がオフ状態であり、対応する画素行の EL 素子 15 には電流が流れていない。したがって、かかる画素行は非点灯状態 52 となる。なお、第 24 図では、フリッカの発生を低減するため、表示領域 53 を 5 分割している。

5 理想的には、2 画素 (行) のトランジスタ 11 a が、それぞれ $I_w \times 5$ ($N = 10$ の場合。つまり、 $K = 2$ であるから、ソース信号線 18 に流れる電流は $I_w \times K \times 5 = I_w \times 10$ となる) の電流をソース信号線 18 に流す。そして、各画素 16 のコンデンサ 19 には、5 倍の電流がプログラムされる。

10 同時に選択する画素行が 2 画素行 ($K = 2$) であるから、2 つの駆動用トランジスタ 11 a が動作する。つまり、1 画素あたり、 $10 / 2 = 5$ 倍の電流がトランジスタ 11 a に流れる。ソース信号線 18 には、2 つのトランジスタ 11 a のプログラム電流を加えた電流が流れる。

たとえば、書き込み画素行 51 a に、本来、書き込む電流 I_d を流し、
15 ソース信号線 18 には、 $I_w \times 10$ の電流を流す。書き込み画素行 51 b は後に正規の画像データが書き込まれるので問題がない。画素行 51 b は、1 H 期間の間は 51 a と同一表示である。そのため、書き込み画素行 51 a と電流を増加させるために選択した画素行 51 b とを少なくとも非表示状態 52 とするのである。

20 次の、1 H 後には、ゲート信号線 17 a (1) は非選択となり、ゲート信号線 17 b にはオン電圧 (V_{g1}) が印加される。また、同時に、ゲート信号線 17 a (3) が選択され (V_{g1} 電圧)、選択された画素行 (3) のトランジスタ 11 a からソースドライバ 14 に向かってソース信号線 18 にプログラム電流が流れる。このように動作することにより、画素行 (1) には正規の画像データが保持される。

25 次の、1 H 後には、ゲート信号線 17 a (2) は非選択となり、ゲート信号線 17 b にはオン電圧 (V_{g1}) が印加される。また、同時に、ゲート信号線 17 a (4) が選択され (V_{g1} 電圧)、選択された画素

行(4)のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行(2)には正規の画像データが保持される。1画素行ずつシフト(もちろん、複数画素行ずつシフトしてもよい。たとえば、擬似インターレース駆動であれば、2行ずつシフトするであろう。また、画像表示の観点から、複数の画素行に同一画像を書き込む場合もあるであろう)しながら走査して以上の動作を行うことにより1画面が書き換えられる。

第16図と同様であるが、第24図の駆動方法では、各画素には5倍の電流(電圧)でプログラムを行うため、各画素のEL素子15の発光輝度は理想的には5倍となる。したがって、表示領域53の輝度は所定値の5倍となる。これを所定の輝度とするためには、第16図などに図示するように、書き込み画素行51を含み、かつ表示画面50の1/5の範囲を非表示領域52とすればよい。

第27図に図示するように、2本の書き込み画素行51(51a、51b)が選択され、画面50の上辺から下辺に順次選択されていく(第26図も参照のこと。第26図では画素行16aと16bが選択されている)。しかし、第27図(b)のように、画面の下辺までくると書き込み画素行51aは存在するが、51bはなくなる。つまり、選択する画素行が1本しかなくなる。そのため、ソース信号線18に印加された電流は、すべて画素行51aに書き込まれる。したがって、画素行51aに比較して、2倍の電流が画素にプログラムされてしまう。

この課題に対して、本発明は、第27図(b)に図示するように画面50の下辺にダミー画素行281を形成(配置)している。したがって、選択画素行が画面50の下辺まで選択された場合は、画面50の最終画素行とダミー画素行281が選択される。そのため、第27図(b)の書き込み画素行には、規定どおりの電流が書き込まれる。なお、ダミー画素行281は表示領域50の上端あるいは下端に隣接して形成した

ように図示したが、これに限定するものではない。表示領域50から離れた位置に形成されていてもよい。また、ダミー画素行281は、第1図のスイッチングトランジスタ11d、EL素子15などは形成する必要はない。これらを形成しないことにより、ダミー画素行281のサイズを小さくすることができる。

第28図は第27図(b)の状態を示している。第28図で明らかにように、選択画素行が画面50の下辺の画素16c行まで選択された場合は、画面50の最終画素行281が選択される。ダミー画素行281は表示領域50外に配置する。つまり、ダミー画素行281は点灯しない、あるいは点灯させない、もしくは点灯しても表示として見えないように構成する。たとえば、画素電極とトランジスタ11とのコンタクトホールをなくすとか、ダミー画素行にはEL膜を形成しないなどである。

第27図では、画面50の下辺にダミー画素(行)281を設ける(形成する、配置する)としたが、これに限定するものではない。たとえば、第29図(a)に図示するように、画面の下辺から上辺に走査する(上下逆転走査)する場合は、第29図(b)に図示するように画面50の上辺にもダミー画素行281を形成すべきである。つまり、画面50の上辺および下辺のそれぞれにダミー画素行281を形成(配置)する。以上のように構成することにより、画面の上下反転走査にも対応できるようになる。

以上の実施例は、2画素行を同時に選択する場合であった。しかし、本発明はこれに限定されるものではなく、たとえば、5画素行を同時選択する方式(第23図を参照のこと)でもよい。つまり、5画素行同時駆動の場合は、ダミー画素行281は4行分形成すればよい。本発明のダミー画素行構成あるいはダミー画素行駆動は、少なくとも1つ以上のダミー画素行を用いる方式である。もちろん、ダミー画素行駆動方法とN倍パルス駆動とを組み合わせる用いることが好ましい。

複数本の画素行を同時に選択する駆動方法では、同時に選択する画素

行数が増加するほど、トランジスタ 11a の特性バラツキを吸収することが困難になる。しかし、選択本数が低下すると、1画素にプログラムする電流が大きくなり、EL素子 15 に大きな電流を流すことになる。EL素子 15 に流す電流が大きいと EL素子 15 が劣化しやすくなる。

5 第30図はこの課題を解決するものである。第30図に示した本発明の基本概念は、 $1/2H$ （水平走査期間の $1/2$ ）は、第22図、第29図で説明したように、複数の画素行を同時に選択する方法である。その後の $1/2H$ （水平走査期間の $1/2$ ）は第5図、第13図などで説明したように、1画素行を選択する方法を組み合わせたものである。このように組み合わせた場合、トランジスタ 11a の特性バラツキが吸収

10 されるため、高速にかつ面内均一性を良好にすることができる。

第30図において、説明を容易にするため、第1の期間では5画素行を同時に選択し、第2の期間では1画素行を選択するとして説明をする。まず、第1の期間（前半の $1/2H$ ）では、第30図（a1）に図示するように、5画素行を同時に選択する。この動作は第22図を用いて説明したので省略する。一例としてソース信号線 18 に流す電流は所定値

15 るように、5画素行を同時に選択する。この動作は第22図を用いて説明したので省略する。一例としてソース信号線 18 に流す電流は所定値の25倍とする。したがって、各画素 16 のトランジスタ 11a（第1図の画素構成の場合）には5倍の電流（ $25/5$ 画素行 $=5$ ）がプログラムされる。25倍の電流であるから、ソース信号線 18 などに発生する寄生容量は極めて短期間に充放電される。したがって、ソース信号線

20 18 の電位は、短時間で目標の電位となり、各画素 16 のコンデンサ 19 の端子電圧も5倍電流を流すようにプログラムされる。この25倍電流の印加時間は前半の $1/2H$ （1水平走査期間の $1/2$ ）とする。

当然のことながら、書き込み画素行の5画素行は同一画像データが書き込まれるため、表示を行わないように5画素行のトランジスタ 11d

25 はオフ状態とされる。したがって、表示状態は第30図（a2）に示すとおりとなる。

次の後半の $1/2H$ 期間は、1画素行を選択し、電流（電圧）プログ

ラムを行う。この状態を第30図(b1)に図示している。書き込み画
素行51aは先と同様に5倍の電流を流すように電流(電圧)プログラ
ムされる。第30図(a1)と第30図(b1)とで各画素に流す電流
を同一にするのは、プログラムされたコンデンサ19の端子電圧の変化
5 を小さくして、より高速に目標の電流を流せるようにするためである。

つまり、第30図(a1)で、複数の画素に電流を流し、高速に概略
の電流が流れる値まで近づける。この第1の段階では、複数のトランジ
スタ11aでプログラムしているため、目標値に対してトランジスタの
バラツキによる誤差が発生している。次の第2の段階で、データを書き
10 込みかつ保持する画素行のみを選択して、概略の目標値から、所定の目
標値まで完全なプログラムを行うのである。

なお、非点灯領域52を画面の上から下方向に走査し、また、書き込
み画素行51aも画面の上から下方向に走査することは第13図など
の実施例と同様であるので説明を省略する。

15 第31図は第30図の駆動方法を実現するための駆動波形である。第
31図でわかるように、1H(1水平走査期間)は2つのフェーズで構
成されている。この2つのフェーズはISEL信号で切り替える。ISEL
信号は第31図に図示している。

まず、ISEL信号について説明をしておく。第30図を実施するド
ライバ回路14は、第1電流出力回路と第2電流出力回路とを具備して
20 いる。これらの第1および第2電流出力回路は、8ビットの階調データ
をDA変換するDA回路およびオペアンプなどから構成される。第30
図の実施例では、第1電流出力回路は2.5倍の電流を出力するように構
成されている。一方、第2電流出力回路は5倍の電流を出力するように、
25 構成されている。第1電流出力回路および第2電流出力回路の出力はI
SEL信号により電流出力部に形成(配置)されたスイッチ回路が制御
され、ソース信号線18に印加される。これらの第1および第2電流出
力回路は各ソース信号線に配置されている。

I S E L 信号は、Lレベルの時、25倍電流を出力する第1電流出力回路が選択されてソース信号線18からの電流をソースドライバ14が吸収する（より適切には、ソースドライバ14内に形成された第1電流出力回路が吸収する）。25倍、5倍などの第1および第2電流出力回路電流の大きさ調整は容易である。複数の抵抗とアナログスイッチで容易に構成できるからである。

第30図に示すように書き込み画素行が1行目である時（第30図の1Hの欄を参照）、ゲート信号線17aは(1)(2)(3)(4)(5)が選択されている（第1図の画素構成の場合）。つまり、画素行(1)(2)(3)(4)(5)のスイッチングトランジスタ11b、トランジスタ11cがオン状態である。また、I S E LがLレベルであるから、25倍電流を出力する第1電流出力回路が選択され、ソース信号線18と接続されている。また、ゲート信号線17bには、オフ電圧(V_{gh})が印加されている。したがって、画素行(1)(2)(3)(4)(5)のスイッチングトランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態52である。

理想的には、5画素のトランジスタ11aが、それぞれ $I_w \times 2$ の電流をソース信号線18に流す。そして、各画素16のコンデンサ19には、5倍の電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ11aは特性(V_t 、S値)が一致しているとして説明をする。

同時に選択する画素行が5画素行($K=5$)であるから、5つの駆動用トランジスタ11aが動作する。つまり、1画素あたり、 $25/5=5$ 倍の電流がトランジスタ11aに流れる。ソース信号線18には、5つのトランジスタ11aのプログラム電流を加えた電流が流れる。たとえば、書き込み画素行51aに、従来の駆動方法で画素に書き込む電流 I_w とする時、ソース信号線18には、 $I_w \times 25$ の電流を流す。書き

込み画素行 (1) より以降に画像データを書き込む書き込み画素行 5 1 b ソース信号線 1 8 への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行 5 1 b は後に正規の画像データが書き込まれるので問題がない。

- 5 したがって、画素行 5 1 b は、1 H 期間の間は書き込み画素行 5 1 a と同一表示である。そのため、書き込み画素行 5 1 a と電流を増加させるために選択した画素行 5 1 b とを少なくとも非表示状態 5 2 とするのである。

- 10 次の $1/2$ H (水平走査期間の $1/2$) では、書き込み画素行 5 1 a のみを選択する。つまり、1 行目のみを選択する。第 31 図で明らかのように、ゲート信号線 1 7 a (1) のみが、オン電圧 (V_{g1}) が印加され、ゲート信号線 1 7 a (2) (3) (4) (5) はオフ (V_{gh}) が印加されている。したがって、画素行 (1) のトランジスタ 1 1 a は動作状態 (ソース信号線 1 8 に電流を供給している状態) であるが、画素行 (2) (3) (4) (5) のスイッチングトランジスタ 1 1 b、トランジスタ 1 1 c がオフ状態である。つまり、非選択状態である。また、ISEL が H レベルであるから、5 倍電流を出力する電流出力回路 B が選択され、この電流出力回路 B とソース信号線 1 8 とが接続されている。また、ゲート信号線 1 7 b の状態は先の $1/2$ H の状態と変化がなく、
15 オフ電圧 (V_{gh}) が印加されている。したがって、画素行 (1) (2) (3) (4) (5) のスイッチングトランジスタ 1 1 d がオフ状態であり、対応する画素行の EL 素子 1 5 には電流が流れていない。よって、かかる画素行は非点灯状態 5 2 となる。

- 25 以上のことから、画素行 (1) のトランジスタ 1 1 a が、それぞれ $I_w \times 5$ の電流をソース信号線 1 8 に流す。そして、各画素行 (1) のコンデンサ 1 9 には、5 倍の電流がプログラムされる。

次の水平走査期間では 1 画素行、書き込み画素行がシフトする。つまり、今度は書き込み画素行が (2) である。最初の $1/2$ H の期間では、

第 31 図に示すように書き込み画素行が 2 行目である場合、ゲート信号線 17a は (2) (3) (4) (5) (6) が選択されている。つまり、画素行 (2) (3) (4) (5) (6) のスイッチングトランジスタ 11b、トランジスタ 11c がオン状態である。また、ISEL が L レベルであるから、25 倍電流を出力する第 1 電流出力回路が選択され、ソース信号線 18 と接続されている。また、ゲート信号線 17b には、オフ電圧 (V_{gh}) が印加されている。したがって、画素行 (2) (3) (4) (5) (6) のスイッチングトランジスタ 11d がオフ状態であり、対応する画素行の EL 素子 15 には電流が流れていない。よって、かかる画素行は非点灯状態 52 となる。一方、画素行 (1) のゲート信号線 17b (1) は V_{g1} 電圧が印加されているから、トランジスタ 11d はオン状態であり、画素行 (1) の EL 素子 15 は点灯する。

同時に選択する画素行が 5 画素行 ($K=5$) であるから、5 つの駆動用トランジスタ 11a が動作する。つまり、1 画素あたり、 $25/5=5$ 倍の電流がトランジスタ 11a に流れる。ソース信号線 18 には、5 つのトランジスタ 11a のプログラム電流を加えた電流が流れる。

次の $1/2H$ (水平走査期間の $1/2$) では、書き込み画素行 51a のみを選択する。つまり、2 行目のみを選択する。第 31 図で明らかのように、ゲート信号線 17a (2) のみが、オン電圧 (V_{g1}) が印加され、ゲート信号線 17a (3) (4) (5) (6) はオフ (V_{gh}) が印加されている。したがって、画素行 (1) (2) のトランジスタ 11a は動作状態 (画素行 (1) は EL 素子 15 に電流を流し、画素行 (2) はソース信号線 18 に電流を供給している状態) であるが、画素行 (3) (4) (5) (6) のスイッチングトランジスタ 11b、トランジスタ 11c がオフ状態である。つまり、非選択状態である。また、ISEL が H レベルであるから、5 倍電流を出力する第 2 電流出力回路が選択される。また、ゲート信号線 17b の状態は先の $1/2H$ の状態と変化がなく、オフ電圧 (V_{gh}) が印加されている。したがって、画素行 (2)

(3) (4) (5) (6) のスイッチングトランジスタ 11d がオフ状態であり、対応する画素行の EL 素子 15 には電流が流れていない。よって、かかる画素行は非点灯状態 52 となる。

5 以上のことから、画素行 (2) のトランジスタ 11a が、それぞれ $I_w \times 5$ の電流をソース信号線 18 に流す。そして、各画素行 (2) のコンデンサ 19 には、5 倍の電流がプログラムされる。以上の動作を順次、実施することにより 1 画面を表示することができる。

第 30 図で説明した駆動方法は、第 1 の期間で G 画素行 (G は 2 以上) を選択し、各画素行には N 倍の電流を流すようにプログラムする。
10 第 1 の期間後の第 2 の期間では B 画素行 (B は G よりも小さく、1 以上) を選択し、画素には N 倍の電流を流すようにプログラムする方式である。

しかし、他の方策もある。第 1 の期間で G 画素行 (G は 2 以上) を選択し、各画素行の総和電流が N 倍の電流となるようにプログラムする。
15 第 1 の期間後の第 2 の期間では B 画素行 (B は G よりも小さく、1 以上) を選択し、選択された画素行の総和の電流 (ただし、選択画素行が 1 の時は、1 画素行の電流) が N 倍となるようにプログラムする方式である。たとえば、第 30 図 (a1) において、5 画素行を同時に選択し、各画素のトランジスタ 11a には 2 倍の電流を流す。これにより、ソース信号線 18 には 5×2 倍 = 10 倍の電流が流れる。次の第 2 の期間では第 30 図 (b1) において、1 画素行を選択する。この 1 画素のトランジスタ 11a には 10 倍の電流を流す。
20

なお、第 31 図において、複数の画素行を同時に選択する期間を $1/2 H$ とし、1 画素行を選択する期間を $1/2 H$ としたがこれに限定する
25 ものではない。複数の画素行を同時に選択する期間を $1/4 H$ とし、1 画素行を選択する期間を $3/4 H$ としてもよい。また、複数の画素行を同時に選択する期間と、1 画素行を選択する期間とを加えた期間は $1 H$ としたがこれに限定するものではない。たとえば、 $2 H$ 期間でも、1.

5 H期間であっても良い。

また、第 30 図において、5 画素行を同時に選択する期間を $1/2 H$ とし、次の第 2 の期間では 2 画素行を同時に選択するとしてもよい。この場合でも実用上、支障のない画像表示を実現できる。

- 5 また、第 30 図において、5 画素行を同時に選択する第 1 の期間を $1/2 H$ とし、1 画素行を選択する第 2 の期間を $1/2 H$ とする 2 段階としたがこれに限定するものではない。たとえば、第 1 の段階は、5 画素行を同時に選択し、第 2 の期間は前記 5 画素行のうち、2 画素行を選択し、最後に、1 画素行を選択する 3 つの段階としてもよい。つまり、複
- 10 数の段階で画素行に画像データを書き込んでも良い。

- 以上の本発明の N 倍パルス駆動方法では、各画素行で、ゲート信号線 17 b の波形を同一にし、1 H の間隔でシフトさせて印加していく。このように走査することにより、EL 素子 15 が点灯している時間を $1 F/N$ に規定しながら、順次、点灯する画素行をシフトさせることができる。このように、各画素行で、ゲート信号線 17 b の波形を同一にし、
- 15 シフトさせていることを実現することは容易である。第 6 図のシフトレジスタ回路 61 a、61 b に印加するデータである ST 1、ST 2 を制御すればよいからである。たとえば、入力 ST 2 が L レベルの時、ゲート信号線 17 b に Vg l が出力され、入力 ST 2 が H レベルの時、ゲート信号線 17 b に Vg h が出力されるとすれば、シフトレジスタ 17 b
- 20 に印加する ST 2 を $1 F/N$ の期間だけ L レベルで入力し、他の期間は H レベルにする。この入力された ST 2 を 1 H に同期したクロック CLK 2 でシフトしていくだけである。

- なお、EL 素子 15 をオンオフする周期は 0.5 msec 以上にする
- 25 必要がある。この周期が短いと、人間の目の残像特性により完全な黒表示状態とならず、画像がぼやけたようになり、あたかも解像度が低下したようになる。また、データ保持型の表示パネルの表示状態となる。しかし、オンオフ周期を 100 msec 以上にすると、点滅状態に見える。

したがって、EL素子のオンオフ周期は $0.5\mu\text{sec}$ 以上 100ms
 sec 以下にすべきである。さらに好ましくは、オンオフ周期を 2ms
 sec 以上 30ms sec 以下にすべきである。さらに好ましくは、オンオフ
周期を 3ms sec 以上 20ms sec 以下にすべきである。

5 先にも記載したが、黒画面152の分割数は、1つにすると良好な動
画表示を実現できるが、画面のちらつきが見えやすくなる。したがって、
黒挿入部を複数に分割することが好ましい。しかし、分割数をあまりに
多くすると動画ボケが発生する。分割数は1以上8以下とすべきである。
さらに好ましくは1以上5以下とすることが好ましい。

10 なお、黒画面の分割数は静止画と動画で変更できるように構成するこ
とが好ましい。分割数とは、 $N=4$ では、75%が黒画面であり、25%
が画像表示である。このとき、75%の黒表示部を75%の黒常状態で
画面の上下方向に走査するのが分割数1である。25%の黒画面を25
/3%の表示画面の3ブロックで走査するのが分割数3である。静止画
15 は分割数を多くする。動画は分割数を少なくする。切り替えは入力画像
に応じて自動的（動画検出など）に行っても良く、ユーザーが手動で行
ってもよい。また、表示装置の映像などに入力コンセントに対応して切
り替え可能なように構成すればよい。

たとえば、携帯型電話機などにおいて、壁紙表示、入力画面では、分
20 割数を10以上とする（極端には1Hごとにオンオフしてもよい）。N
TSCの動画を表示するときは、分割数を1以上5以下とする。なお、
分割数は3以上の多段階に切り替えできるように構成することが好ま
しい。たとえば、分割数なし、2、4、8などである。

また、全表示画面に対する黒画面の割合は、全画面の面積を1とした
25 場合に 0.2 以上 0.9 以下（Nで表示すれば 1.2 以上 9 以下）とす
ることが好ましい。また、特に 0.25 以上 0.6 以下（Nで表示すれ
ば 1.25 以上 6 以下）とすることが好ましい。 0.20 以下であると
動画表示での改善効果が低い。 0.9 以上であると、表示部分の輝度が

高くなり、表示部分が上下に移動することが視覚的に認識されやすくなる。

また、1秒あたりのフレーム数は、10以上100以下（10Hz以上100Hz以下）が好ましい。さらには12以上65以下（12Hz以上65Hz以下）が好ましい。フレーム数が少ないと、画面のちらつきが目立つようになり、あまりにもフレーム数が多いと、ドライバ回路14などからの書き込みが困難となり解像度が劣化する。

いずれにせよ、本発明では、ゲート信号線17の制御により画像の明るさを変化させることができる。ただし、画像の明るさはソース信号線18に印加する電流（電圧）を変化させて行ってもよいことは言うまでもない。また、先に説明した（第33図、第35図などを用いて）ゲート信号線17の制御と、ソース信号線18に印加する電流（電圧）を変化させることを組み合わせて行ってもよいことは言うまでもない。

なお、以上の事項は、第38図などの電流プログラムの画素構成、第43図、第51図、第54図などの電圧プログラムの画素構成でも適用できることは言うまでもない。第38図では、トランジスタ11dを、第43図ではトランジスタ11dを、第51図ではトランジスタ11eをオンオフ制御すればよい。このように、EL素子15に電流を流す配線をオンオフすることにより、本発明のN倍パルス駆動を容易に実現できる。

また、ゲート信号線17bの $1F/N$ の期間だけ、 V_{g1} にする時刻は1F（1Fに限定するものではない。単位期間でよい。）の期間のうち、どの時刻でもよい。単位時間のうち、所定の期間だけEL素子15をオンさせることにより、所定の平均輝度を得るものだからである。ただし、電流プログラム期間（1H）後、すぐにゲート信号線17bを V_{g1} にしてEL素子15を発光させる方がよい。第1図のコンデンサ19の保持率特性の影響を受けにくくなるからである。

また、この画像の分割数も可変できるように構成することが好ましい。

たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリュームを回すことにより、この変化を検出してKの値を変更する。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

- 5 このようにKの値（画像表示部53の分割数）を変化させることも容易に実現できる。第6図においてSTに印加するデータのタイミング（1FのいつにLレベルにするか）を調整あるいは可変できるように構成しておけばよいからである。

- 10 なお、第16図などでは、ゲート信号線17bをVg1にする期間（ $1F/N$ ）を複数に分割（分割数K）し、Vg1にする期間は $1F/(K/N)$ の期間をK回実施するとしたがこれに限定されるものではない。 $1F/(K/N)$ の期間をL（ $L \neq K$ ）回実施してもよい。つまり、本発明は、EL素子15に流す期間（時間）を制御することにより画像50を表示するものである。したがって、 $1F/(K/N)$ の期間をL（ $L \neq K$ ）回実施することは本発明の技術的思想に含まれる。また、Lの値を変化させることにより、画像50の輝度をデジタル的に変更することができる。たとえば、 $L=2$ と $L=3$ とでは50%の輝度（コントラスト）変化となる。これらの制御も、本発明の他の実施例にも適用できることは言うまでもない（もちろん、以降に説明する本発明にも適用でき
- 15 る）。これらも本発明のN倍パルス駆動である。
- 20

- 25 以上の実施例は、EL素子15と駆動用トランジスタ11aとの間にスイッチング素子としてのトランジスタ11dを配置（形成）し、このトランジスタ11dを制御することにより、画面50をオンオフ表示するものであった。この駆動方法により、電流プログラム方式の黒表示状態での電流書き込み不足をなくし、良好な解像度あるいは黒表示を実現するものであった。つまり、電流プログラム方式では、良好な黒表示を実現することが大きな利点である。次に説明する駆動方法は、駆動用トランジスタ11aをリセットし、良好な黒表示を実現するものである。

以下、第 3 2 図を用いて、その実施例について説明をする。

第 3 2 図は基本的には第 1 図に示した画素構成と同様である。第 3 2 図の画素構成では、プログラムされた I_w 電流が EL 素子 1 5 に流れ、EL 素子 1 5 が発光する。つまり、駆動用トランジスタ 1 1 a はプログラムされることにより、電流を流す能力を保持している。この電流を流す能力を利用してトランジスタ 1 1 a をリセット（オフ状態）にする方式が第 3 2 図に示す駆動方式である。以降、この駆動方式をリセット駆動と呼ぶ。

第 1 図の画素構成でリセット駆動を実現するためには、トランジスタ 1 1 b とトランジスタ 1 1 c を独立してオンオフ制御できるように構成する必要がある。つまり、第 3 2 図で図示するようにトランジスタ 1 1 b をオンオフ制御するゲート信号線 1 7 a（ゲート信号線 WR）、トランジスタ 1 1 c をオンオフ制御するゲート信号線 1 7 c（ゲート信号線 EL）を独立して制御できるようにする。ゲート信号線 1 7 a およびゲート信号線 1 7 c の制御は第 6 図に図示するように独立した 2 つのシフトレジスタ 6 1 で行えばよい。

ゲート信号線 WR とゲート信号線 EL の駆動電圧は変化させるとよい。ゲート信号線 WR の振幅値（オン電圧とオフ電圧との差）は、ゲート信号線 EL の振幅値よりも小さくする。基本的にゲート信号線の振幅値が大きいと、ゲート信号線と画素との突き抜け電圧が大きくなり、黒浮きが発生する。ゲート信号線 WR の振幅は、ソース信号線 1 8 の電位が画素 1 6 に印加されない（印加する（選択時））を制御すればよいのである。ソース信号線 1 8 の電位変動は小さいから、ゲート信号線 WR の振幅値は小さくすることができる。一方、ゲート信号線 EL は EL のオンオフ制御を実施する必要がある。したがって、振幅値は大きくなる。これに対応するため、シフトレジスタ 6 1 a と 6 1 b との出力電圧を変化させる。画素が P チャンネルトランジスタで形成されている場合は、シフトレジスタ 6 1 a および 6 1 b の V_{gh} （オフ電圧）を略同一にし、

シフトレジスタ 61a の V_{g1} (オン電圧) をシフトレジスタ 61b の V_{g1} (オン電圧) よりも低くする。

以下、第 33 図を参照しながら、リセット駆動方式について説明をする。第 33 図はリセット駆動の原理説明図である。まず、第 33 図 (a) に図示するように、トランジスタ 11c、トランジスタ 11d をオフ状態にし、トランジスタ 11b をオン状態にする。すると、駆動用トランジスタ 11a のドレイン (D) 端子とゲート (G) 端子はショート状態となり、 I_b 電流が流れる。一般的に、トランジスタ 11a は 1 つ前のフィールド (フレーム) で電流プログラムされ、電流を流す能力がある。この状態でトランジスタ 11d がオフ状態となり、トランジスタ 11b がオン状態となれば、駆動電流 I_b がトランジスタ 11a のゲート (G) 端子に流れる。そのため、トランジスタ 11a のゲート (G) 端子とドレイン (D) 端子とが同一電位となり、トランジスタ 11a はリセット (電流を流さない状態) になる。

このトランジスタ 11a のリセット状態 (電流を流さない状態) は、第 51 図などを参照して説明する電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、第 33 図 (a) の状態では、コンデンサ 19 の端子間には、オフセット電圧が保持されていることになる。このオフセット電圧はトランジスタ 11a の特性に応じて異なる電圧値である。したがって、第 33 図 (a) の動作を実施することにより、各画素のコンデンサ 19 にはトランジスタ 11a が電流を流さない (つまり、黒表示電流 (ほとんど 0 に等しい) が保持される) ことになるのである。

なお、第 33 図 (a) の動作の前に、トランジスタ 11b、トランジスタ 11c をオフ状態にし、トランジスタ 11d をオン状態にし、駆動用トランジスタ 11a に電流を流すという動作を実施することが好ましい。この動作は、極力短時間にすることが好ましい。EL 素子 15 に電流が流れて EL 素子 15 が点灯し、表示コントラストを低下させる恐

れがあるからである。この動作時間は、1 H（1 水平走査期間）の 0.1 % 以上 10 % 以下とすることが好ましい。さらに好ましくは 0.2 % 以上 2 % 以下となるようにすることが好ましい。もしくは 0.2 μ sec 以上 5 μ sec 以下となるようにすることが好ましい。また、全画面の画素 16 に一括して前述の動作（第 33 図（a）の前に行う動作）を実施してもよい。以上の動作を実施することにより、駆動用トランジスタ 11a のドレイン（D）端子電圧が低下し、第 33 図（a）の状態でスムーズな電流 I_b を流すことができるようになる。なお、以上の事項は、本発明の他のリセット駆動方式にも適用される。

- 10 第 33 図（a）に示す状態の実施時間を長くするほど、電流 I_b が流れ、コンデンサ 19 の端子電圧が小さくなる傾向がある。したがって、第 33 図（a）に示す状態の実施時間は固定値にする必要がある。発明者等による実験および検討によれば、第 33 図（a）に示す状態の実施時間は、1 H 以上 5 H 以下にすることが好ましい。なお、この期間は、R、G、B の画素で異ならせることが好ましい。各色の画素で EL 材料が異なり、この EL 材料の立ち上がり電圧などに差異があるためである。RGB の各画素で、EL 材料に適応して、もっとも最適な期間を設定する。なお、実施例において、この期間は 1 H 以上 5 H 以下にするとしたが、黒挿入（黒画面を書き込む）を主とする駆動方式では、5 H 以上であつてもよいことは言うまでもない。なお、この期間が長いほど、画素の黒表示状態は良好となる。
- 15
- 20

- 第 33 図（a）に示す状態を実施後、1 H 以上 5 H 以下の期間において、第 33 図（b）に示す状態にする。第 33 図（b）はトランジスタ 11c、トランジスタ 11b をオンさせ、トランジスタ 11d をオフさせた状態である。第 33 図（b）に示す状態は、以前にも説明したが、電流プログラムを行っている状態である。つまり、ソースドライバ 14 からプログラム電流 I_w を出力（あるいは吸収）し、このプログラム電流 I_w を駆動用トランジスタ 11a に流す。このプログラム電流 I_w が
- 25

流れるように、駆動用トランジスタ11aのゲート(G)端子の電位を設定するのである(設定電位はコンデンサ19に保持される)。

もし、プログラム電流 I_w が0(A)であれば、トランジスタ11aは第33図(a)に示す電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、第33図(b)に示す状態で白表示の電流プログラムを行う場合であって、各画素の駆動用トランジスタの特性バラツキが発生しているときでも、黒表示状態のオフセット電圧から電流プログラムを完全に行うことができる。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ11aの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

第33図(b)に示す状態の電流プログラミング後、第33図(c)に図示するように、トランジスタ11bとトランジスタ11cとをオフし、トランジスタ11dをオンさせて、駆動用トランジスタ11aからのプログラム電流 $I_w (= I_e)$ をEL素子15に流し、EL素子15を発光させる。第33図(c)に関しても、第1図などで以前に説明をしたので詳細は省略する。

つまり、第33図で説明した駆動方式(リセット駆動)は、駆動用トランジスタ11aとEL素子15間とを切断(電流が流れない状態)し、かつ、駆動用トランジスタのドレイン(D)端子とゲート(G)端子(もしくはソース(S)端子とゲート(G)端子、さらに一般的に表現すれば駆動用トランジスタのゲート(G)端子を含む2端子)との間をショートする第1の動作と、前記動作の後、駆動用トランジスタに電流(電圧)プログラムを行う第2の動作とを実施するものである。そして、少なくとも第2の動作は第1の動作後に行うものである。なお、リセット駆動を実施するためには、第32図の構成のように、トランジスタ11bとトランジスタ11cとを独立に制御できるように、構成しておかねばならない。

画像表示状態は（もし、瞬時的な変化が観察できるのであれば）、まず、電流プログラムが行われる画素行は、リセット状態（黒表示状態）になり、1 H後に電流プログラムが行われる（この時も黒表示状態である。トランジスタ 11d がオフだからである。）。次に、EL 素子 15
5 に電流が供給され、画素行は所定輝度（プログラムされた電流）で発光する。つまり、画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。なお、リセット後、1 H後に電流プログラムを行うとしたがこの期間は、5 H程度以内としてもよい。第 33 図（a）に示すリセット
10 が完全に行われるのに比較的長時間を必要とするからである。もし、この期間を 5 Hとすれば、5 画素行が黒表示（電流プログラムの画素行も含めると 6 画素行）となるはずである。

また、リセット状態は 1 画素行ずつ行うことに限定するものではなく、複数画素行ずつ同時にリセット状態にしてもよい。また、複数画素行ずつ同時にリセット状態にし、かつオーバーラップしながら走査してもよい。
15 たとえば、4 画素行を同時にリセットするのであれば、第 1 の水平走査期間（1 単位）に、画素行（1）（2）（3）（4）をリセット状態にし、次の第 2 の水平走査期間に、画素行（3）（4）（5）（6）をリセット状態にし、さらに次の第 3 の水平走査期間に、画素行（5）
20 （6）（7）（8）をリセット状態にする。また、次の第 4 の水平走査期間に、画素行（7）（8）（9）（10）をリセット状態にするという駆動状態が例示される。なお、当然、第 33 図（b）、第 33 図（c）に示す駆動状態も第 33 図（a）に示す駆動状態と同期して実施される。

また、1 画面の画素すべてを同時にあるいは走査状態でリセット状態
25 にしてから、第 33 図（b）、（c）に示す駆動を実施してもよいことは言うまでもない。また、インターレース駆動状態（1 画素行あるいは複数画素行の飛び越し走査）で、リセット状態（1 画素行あるいは複数画素行飛び越し）にしてもよいことは言うまでもない。また、ランダム

のリセット状態を実施してもよい。また、本発明のリセット駆動の説明は、画素行を操作する方式である(つまり、画面の上下方向の制御する)。しかし、リセット駆動の概念は、制御方向が画素行に限定されるものではない。たとえば、画素列方向にリセット駆動を実施してもよいことは言うまでのない。

5 なお、第33図に示すリセット駆動は、本発明のN倍パルス駆動などと組み合わせること、インターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。特に第22図に示す構成は、間欠N/K倍パルス駆動(1画面に点灯領域を複数設ける駆動方法である。この駆動方法は、ゲート信号線17bを制御し、トランジスタ11dをオンオフ動作させることにより容易に実現できる。このことは以前に説明をした。)を容易に実現できるので、フリッカの発生もなく、良好な画像表示を実現できる。これは、第22図に示した構成あるいはその変形構成のすぐれた特徴である。また、他の駆動方法、たとえば、以降の説明する逆バイアス駆動方式、プリチャージ駆動方式、突き抜け電圧駆動方式などと組み合わせることによりさらに優れた画像表示を実現できることは言うまでもない。以上のように、本発明と同様にリセット駆動も本明細書の他の実施例と組み合わせて実施することができることは言うまでもない。

20 第34図はリセット駆動を実現する表示装置の構成図である。ゲートドライバ12aは、第32図におけるゲート信号線17aおよびゲート信号線17bを制御する。ゲート信号線17aにオンオフ電圧を印加することによりトランジスタ11bがオンオフ制御される。また、ゲート信号線17bにオンオフ電圧を印加することによりトランジスタ11dがオンオフ制御される。ゲートドライバ12bは、第32図におけるゲート信号線17cを制御する。ゲート信号線17cにオンオフ電圧を印加することによりトランジスタ11cがオンオフ制御される。

したがって、ゲート信号線17aはゲートドライバ12aで操作し、

ゲート信号線 17c はゲートドライバ 12b で操作する。そのため、トランジスタ 11b をオンさせて駆動用トランジスタ 11a をリセットするタイミングと、トランジスタ 11c をオンさせて駆動用トランジスタ 11a に電流プログラムを行うタイミングとを自由に設定できる。なお、第 34 図において 341a は出力段回路を示している。他の構成などは、以前に説明したものと同一または類似するため説明を省略する。

第 35 図はリセット駆動のタイミングチャートである。ゲート信号線 17a にオン電圧を印加し、トランジスタ 11b をオンさせ、駆動用トランジスタ 11a をリセットしている時には、ゲート信号線 17b にはオフ電圧を印加し、トランジスタ 11d をオフ状態にしている。したがって、第 32 図 (a) の状態となっている。この期間に電流 I_b が流れる。

第 35 図に示すタイミングチャートでは、リセット時間は 2H (ゲート信号線 17a にオン電圧が印加され、トランジスタ 11b がオンする) としているが、これに限定するものではない。2H 以上でもよい。また、リセットが極めて高速に行える場合は、リセット時間は 1H 未満であってもよい。また、リセット期間を何 H 期間にするかはゲートドライバ 12 に入力する DATA (ST) パルス期間で容易に変更できる。たとえば、ST 端子に入力する DATA を 2H 期間の間 H レベルとすれば、各ゲート信号線 17a から出力されるリセット期間は 2H 期間となる。同様に、ST 端子に入力する DATA を 5H 期間の間 H レベルとすれば、各ゲート信号線 17a から出力されるリセット期間は 5H 期間となる。

1H 期間のリセット後、画素行 (1) のゲート信号線 17c (1) に、オン電圧が印加される。トランジスタ 11c がオンすることにより、ソース信号線 18 に印加されたプログラム電流 I_w がトランジスタ 11c を介して駆動用トランジスタ 11a に書き込まれる。

電流プログラム後、画素行 (1) のゲート信号線 17c にオフ電圧が

印加され、トランジスタ 11 c がオフし、画素がソース信号線 18 と切り離される。同時に、ゲート信号線 17 a にもオフ電圧が印加され、駆動用トランジスタ 11 a のリセット状態が解消される（なお、この期間は、リセット状態と表現するよりも、電流プログラム状態と表現する方が適切である）。また、ゲート信号線 17 b にはオン電圧が印加され、トランジスタ 11 d がオンして、駆動用トランジスタ 11 a にプログラムされた電流が EL 素子 15 に流れる。なお、画素行（2）以降についても、画素行（1）と同様であり、また、第 35 図からその動作は明らかであるから説明を省略する。

10 第 35 図において、リセット期間は 1 H 期間であった。第 36 図はリセット期間を 5 H とした実施例である。リセット期間を何 H 期間にするかはゲートドライバ 12 に入力する DATA (ST) パルス期間で容易に変更できる。第 36 図ではゲートドライバ 12 a の ST 1 端子に入力する DATA を 5 H 期間の間 H レベルとし、各ゲート信号線 17 a から
15 出力されるリセット期間を 5 H 期間とした実施例である。リセット期間は、長いほど、リセットが完全に行われ、良好な黒表示を実現できる。しかし、リセット期間の割合分だけ表示輝度が低下することになる。

第 36 図はリセット期間を 5 H とした実施例であった。また、このリセット状態は連続状態であった。しかし、リセット状態は連続して行うことに限定されるものではない。たとえば、各ゲート信号線 17 a から
20 出力される信号を 1 H ごとにオンオフ動作させてもよい。このようにオンオフ動作させるのは、シフトレジスタの出力段に形成されたイネーブル回路（図示せず）を操作することにより容易に実現できる。また、ゲートドライバ 12 に入力する DATA (ST) パルスを制御することで
25 容易に実現できる。

第 34 図に示す回路構成では、ゲートドライバ 12 a は少なくとも 2 つのシフトレジスタ回路（1 つはゲート信号線 17 a の制御用、他の 1 つはゲート信号線 17 b の制御用）が必要であった。そのため、ゲート

ドライバ 1 2 a の回路規模が大きくなるという課題があった。第 3 7 図はゲートドライバ 1 2 a のシフトレジスタを 1 つにした実施例である。第 3 7 図に示す回路を動作させた出力信号のタイミングチャートは第 3 5 図に示すようになる。なお、第 3 5 図と第 3 7 図とはゲートドライバ 1 2 a、1 2 b から出力されているゲート信号線 1 7 の記号が異なっているので注意が必要である。

第 3 7 図に示す構成には OR 回路 3 7 1 が付加されていることから明らかであるが、各ゲート信号線 1 7 a の出力は、シフトレジスタ回路 6 1 a の前段出力との OR をとって出力される。つまり、2 H 期間、ゲート信号線 1 7 a からはオン電圧が出力される。一方、ゲート信号線 1 7 c はシフトレジスタ回路 6 1 a の出力がそのまま出力される。したがって、1 H 期間の間、オン電圧が印加される。

たとえば、シフトレジスタ回路 6 1 a の 2 番目に H レベル信号が出力されているとき、画素 1 6 (1) のゲート信号線 1 7 c にオン電圧が出力され、画素 1 6 (1) が電流 (電圧) プログラムの状態となる。同時に、画素 1 6 (2) のゲート信号線 1 7 a にもオン電圧が出力され、画素 1 6 (2) のトランジスタ 1 1 b がオン状態となり、画素 1 6 (2) の駆動用トランジスタ 1 1 a がリセットされる。

同様に、シフトレジスタ回路 6 1 a の 3 番目に H レベル信号が出力されているとき、画素 1 6 (2) のゲート信号線 1 7 c にオン電圧が出力され、画素 1 6 (2) が電流 (電圧) プログラムの状態となる。同時に、画素 1 6 (3) のゲート信号線 1 7 a にもオン電圧が出力され、画素 1 6 (3) トランジスタ 1 1 b がオン状態となり、画素 1 6 (3) 駆動用トランジスタ 1 1 a がリセットされる。つまり、2 H 期間、ゲート信号線 1 7 a からはオン電圧が出力され、ゲート信号線 1 7 c に 1 H 期間、オン電圧が出力される。

プログラム状態のときは、トランジスタ 1 1 b とトランジスタ 1 1 c とが同時にオン状態となる (第 3 3 図 (b)) ため、非プログラム状態

(第33図(c))に移行する際、トランジスタ11cがトランジスタ11bよりも先にオフ状態となると、第33図(b)のリセット状態になってしまう。これを防止するためには、トランジスタ11cをトランジスタ11bよりもあとからオフ状態にする必要がある。そのためには、
5 ゲート信号線17aがゲート信号線17cよりも先にオン電圧が印加されるように制御する必要がある。

以上の実施例は、第32図(基本的には第1図)に示す画素構成に関する実施例であった。しかし、本発明はこれに限定されるものではない。たとえば、第38図に示すようなカレントミラーの画素構成であっても
10 実施することができる。なお、第38図ではトランジスタ11eをオンオフ制御することにより、第13図、第15図などで図示するN倍パルス駆動を実現できる。第39図は第38図のカレントミラーの画素構成での実施例の説明図である。以下、第39図を参照しながら、カレントミラーの画素構成におけるリセット駆動方式について説明をする。

15 第39図(a)に図示するように、トランジスタ11c、トランジスタ11eをオフ状態にし、トランジスタ11dをオン状態にする。すると、電流プログラム用トランジスタ11bのドレイン(D)端子とゲート(G)端子とはショート状態となり、図に示すように電流I_bが流れる。一般的に、トランジスタ11bは1つ前のフィールド(フレーム)
20 で電流プログラムされ、電流を流す能力がある(ゲート電位はコンデンサ19に1F期間保持され、画像表示をおこなっているから当然である。ただし、完全な黒表示を行っている場合、電流は流れない)。この状態でトランジスタ11eをオフ状態とし、トランジスタ11dをオン状態にすれば、駆動電流I_bがトランジスタ11aのゲート(G)端子の方向に流れる(ゲート(G)端子とドレイン(D)端子がショートされる)。
25 そのため、トランジスタ11aのゲート(G)端子とドレイン(D)端子とが同一電位となり、トランジスタ11aはリセット(電流を流さない状態)になる。また、駆動用トランジスタ11bのゲート(G)端子

は電流プログラム用トランジスタ11aのゲート(G)端子と共通であるから、駆動用トランジスタ11bもリセット状態となる。

このトランジスタ11a、トランジスタ11bのリセット状態（電流を流さない状態）は、第51図などで説明する電圧オフセットキャンセル方式のオフセット電圧を保持した状態と等価である。つまり、第39図(a)の状態では、コンデンサ19の端子間には、オフセット電圧（電流が流れ始める開始電圧。この電圧の絶対値以上の電圧を印加することにより、トランジスタ11に電流が流れる）が保持されていることになる。このオフセット電圧はトランジスタ11a、トランジスタ11bの特性に応じて異なる電圧値となる。したがって、第39図(a)の動作を実施することにより、各画素のコンデンサ19にはトランジスタ11a、トランジスタ11bが電流を流さない（つまり、黒表示電流（ほとんど0に等しい））状態が保持されることになるのである（電流が流れ始める開始電圧にリセットされる）。

なお、第39図(a)においても第33図(a)と同様に、リセットの実施時間を長くするほど、I_b電流が流れ、コンデンサ19の端子電圧が小さくなる傾向がある。したがって、第39図(a)の実施時間は固定値にする必要がある。発明者等の実験および検討によれば、第39図(a)の実施時間は、1H以上10H（10水平走査期間）以下とすることが好ましい。さらには1H以上5H以下とすることが好ましい。あるいは、20 μ sec以上2msec以下とすることが好ましい。このことは第33図に示す駆動方式でも同様である。

第33図(a)も同様であるが、第39図(a)に示すリセット状態と、第39図(b)に示す電流プログラム状態とを同期をとって行う場合は、第39図(a)に示すリセット状態から、第39図(b)に示す電流プログラム状態までの期間が固定値（一定値）となるから問題はない（固定値にされている）。つまり、第33図(a)あるいは第39図(a)に示すリセット状態から、第33図(b)あるいは第39図(b)

に示す電流プログラム状態までの期間が、1 H以上10 H（10 水平走査期間）以下となることが好ましい。さらには1 H以上5 H以下にすることが好ましいのである。あるいは、20 μ sec以上2 msec以下とすることが好ましいのである。この期間が短いと駆動用トランジスタ11が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ11が完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面50の輝度も低下する。

第39図（a）を実施後、第39図（b）に示す状態にする。第39図（b）はトランジスタ11c、トランジスタ11dをオンさせ、トランジスタ11eをオフさせた状態を示している。第39図（b）の状態は、電流プログラムを行っている状態である。つまり、ソースドライバ14からプログラム電流Iwを出力（あるいは吸収）し、このプログラム電流Iwを電流プログラム用トランジスタ11aに流す。このプログラム電流Iwが流れるように、駆動用トランジスタ11bのゲート（G）端子の電位をコンデンサ19に設定するのである。

もし、プログラム電流Iwが0（A）（黒表示）であれば、トランジスタ11bは第33図（a）の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、第39図（b）で白表示の電流プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、黒表示状態のオフセット電圧（各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧）から電流プログラムを完全に行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ11aあるいはトランジスタ11bの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

第39図（b）の電流プログラミング後、第39図（c）に図示するように、トランジスタ11cとトランジスタ11dとをオフし、トランジスタ11eをオンさせて、駆動用トランジスタ11bからのプログラ

ム電流 $I_w (= I_e)$ を EL 素子 15 に流し、EL 素子 15 を発光させる。第 39 図(c) に関しても、以前に説明をしたので詳細は省略する。

第 33 図、第 39 図で説明した駆動方式（リセット駆動）は、駆動用トランジスタ 11a あるいはトランジスタ 11b と EL 素子 15 との間を切断（電流が流れない状態。トランジスタ 11e あるいはトランジスタ 11d で行う）し、かつ、駆動用トランジスタのドレイン（D）端子とゲート（G）端子（もしくはソース（S）端子とゲート（G）端子、さらに一般的に表現すれば駆動用トランジスタのゲート（G）端子を含む 2 端子）との間をショートする第 1 の動作と、前記動作の後、駆動用トランジスタに電流（電圧）プログラムを行う第 2 の動作とを実施するものである。そして、少なくとも第 2 の動作は第 1 の動作後に行うものである。なお、第 1 の動作における駆動用トランジスタ 11a あるいはトランジスタ 11b と EL 素子 15 との間を切断するという動作は、必ずしも必須の条件ではない。もし、第 1 の動作における駆動用トランジスタ 11a あるいはトランジスタ 11b と EL 素子 15 との間を切断せずに、駆動用トランジスタのドレイン（D）端子とゲート（G）端子との間をショートする第 1 の動作を行っても多少のリセット状態のバラツキが発生する程度で済む場合があるからである。これは、作製したアレイのトランジスタ特性を検討して決定する。

第 39 図に示すカレントミラーの画素構成は、電流プログラムトランジスタ 11a をリセットすることにより、結果として駆動用トランジスタ 11b をリセットする駆動方法であった。

第 39 図に示すカレントミラーの画素構成において、リセット状態では、必ずしも駆動用トランジスタ 11b と EL 素子 15 との間を切断する必要はない。したがって、電流プログラム用トランジスタ a のドレイン（D）端子とゲート（G）端子（もしくはソース（S）端子とゲート（G）端子、さらに一般的に表現すれば電流プログラム用トランジスタのゲート（G）端子を含む 2 端子、あるいは駆動用トランジスタのゲー

ト（G）端子を含む2端子）との間をショートする第1の動作と、前記動作の後、電流プログラム用トランジスタに電流（電圧）プログラムを行う第2の動作とを実施するものである。そして、少なくとも第2の動作は第1の動作後に行うものである。

5 画像表示状態は（もし、瞬時的な変化が観察できるのであれば）、まず、電流プログラムを行われる画素行は、リセット状態（黒表示状態）になり、所定H後に電流プログラムが行われる。画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。

10 以上の実施例は、電流プログラムの画素構成を中心として説明をしたが、本発明のリセット駆動は電圧プログラムの画素構成にも適用することができる。第43図は電圧プログラムの画素構成におけるリセット駆動を実施するための本発明の画素構成（パネル構成）の説明図である。

第43図の画素構成では、駆動用トランジスタ11aをリセット動作
15 させるためのトランジスタ11eが形成されている。ゲート信号線17eにオン電圧が印加されることにより、トランジスタ11eがオンし、駆動用トランジスタ11aのゲート（G）端子とドレイン（D）端子との間をショートさせる。また、EL素子15と駆動用トランジスタ11aとの電流経路を切断するトランジスタ11dが形成されている。以下、
20 第44図を参照しながら、電圧プログラムの画素構成における本発明のリセット駆動方式について説明をする。

第44図（a）に図示するように、トランジスタ11bとトランジスタ11dとをオフ状態にし、トランジスタ11eをオン状態にする。駆動用トランジスタ11aのドレイン（D）端子とゲート（G）端子とは
25 ショート状態となり、図に示すように電流I_bが流れる。そのため、トランジスタ11aのゲート（G）端子とドレイン（D）端子とが同一電位となり、駆動用トランジスタ11aはリセット（電流を流さない状態）になる。なお、トランジスタ11aをリセットする前に、第33図

あるいは第 39 図で説明したように、HD 同期信号に同期して、最初にトランジスタ 11d をオンさせ、トランジスタ 11e をオフさせて、トランジスタ 11a に電流を流しておく。その後、第 44 図 (a) に示す動作を実施する。

- 5 このトランジスタ 11a、トランジスタ 11b のリセット状態（電流を流さない状態）は、第 41 図などで説明した電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、第 44 図 (a) の状態では、コンデンサ 19 の端子間には、オフセット電圧（リセット電圧）が保持されていることになる。このリセット電圧は駆動用トランジスタ 11a の特性に応じて異なる電圧値となる。つまり、第 44 図 (a) の動作を実施することにより、各画素のコンデンサ 19 には駆動用トランジスタ 11a が電流を流さない（つまり、黒表示電流（ほとんど 0 に等しい））状態が保持されることになるのである（電流が流れ始める開始電圧にリセットされる）。

- 15 なお、電圧プログラムの画素構成においても、電流プログラムの画素構成と同様に、第 44 図 (a) のリセットの実施時間を長くするほど、I_b 電流が流れ、コンデンサ 19 の端子電圧が小さくなる傾向がある。したがって、第 44 図 (a) の実施時間は固定値にする必要がある。実施時間は、0.2 H 以上 5 H（5 水平走査期間）以下とすることが好ましい。さらには 0.5 H 以上 4 H 以下とすることが好ましい。あるいは、2 μ sec 以上 400 μ sec 以下とすることが好ましい。

- 25 また、ゲート信号線 17e は前段の画素行のゲート信号線 17a と共通にしておくことが好ましい。つまり、ゲート信号線 17e と前段の画素行のゲート信号線 17a とをショート状態で形成する。この構成を前段ゲート制御方式と呼ぶ。なお、前段ゲート制御方式とは、着目画素行より少なくとも 1 H 前以上に選択される画素行のゲート信号線波形を用いるものである。したがって、1 画素行前に限定されるものではない。たとえば、2 画素行前のゲート信号線の信号波形を用いて着目画素行の

駆動用トランジスタ 11 a のリセットを実施してもよい。

前段ゲート制御方式をさらに具体的に記載すれば以下のようなになる。
着目する画素行を (N) 画素行とし、そのゲート信号線をゲート信号線
17 e (N)、ゲート信号線 17 a (N) とする。1 H 前に選択される
5 前段の画素行を (N-1) 画素行とし、そのゲート信号線をゲート信号
線 17 e (N-1)、ゲート信号線 17 a (N-1) とする。また、着
目画素行の次の 1 H 後に選択される画素行を (N+1) 画素行とし、そ
のゲート信号線をゲート信号線 17 e (N+1)、ゲート信号線 17 a
(N+1) とする。

10 第 (N-1) H 期間では、第 (N-1) 画素行のゲート信号線 17 a
(N-1) にオン電圧が印加されると、第 (N) 画素行のゲート信号線
17 e (N) にもオン電圧が印加される。ゲート信号線 17 e (N) と
前段の画素行のゲート信号線 17 a (N-1) とがショート状態で形成
されているからである。したがって、第 (N-1) 画素行の画素のトラ
15 ンジスタ 11 b (N-1) がオンし、ソース信号線 18 の電圧が駆動用
トランジスタ 11 a (N-1) のゲート (G) 端子に書き込まれる。同
時に、第 (N) 画素行の画素のトランジスタ 11 e (N) がオンし、駆
動用トランジスタ 11 a (N) のゲート (G) 端子とドレイン (D) 端
子との間がショートされ、駆動用トランジスタ 11 a (N) がリセット
20 される。

第 (N-1) H 期間の次の第 (N) 期間では、第 (N) 画素行のゲー
ト信号線 17 a (N) にオン電圧が印加されると、第 (N+1) 画素行
のゲート信号線 17 e (N+1) にもオン電圧が印加される。したがっ
て、第 (N) 画素行の画素のトランジスタ 11 b (N) がオンし、ソー
25 ス信号線 18 に印加されている電圧が駆動用トランジスタ 11 a (N)
のゲート (G) 端子に書き込まれる。同時に、第 (N+1) 画素行の画
素のトランジスタ 11 e (N+1) がオンし、駆動用トランジスタ 11
a (N+1) のゲート (G) 端子とドレイン (D) 端子との間がショー

トされ、駆動用トランジスタ 11 a (N+1) がリセットされる。

以下同様に、第 (N) H 期間の次の第 (N+1) H 期間において、第 (N+1) 画素行のゲート信号線 17 a (N+1) にオン電圧が印加されると、第 (N+2) 画素行のゲート信号線 17 e (N+2) にもオン電圧が印加される。したがって、第 (N+1) 画素行の画素のトランジスタ 11 b (N+1) がオンし、ソース信号線 18 に印加されている電圧が駆動用トランジスタ 11 a (N+1) のゲート (G) 端子に書き込まれる。同時に、第 (N+2) 画素行の画素のトランジスタ 11 e (N+2) がオンし、駆動用トランジスタ 11 a (N+2) のゲート (G) 端子とドレイン (D) 端子との間がショートされ、駆動用トランジスタ 11 a (N+2) がリセットされる。

以上の本発明の前段ゲート制御方式では、1 H 期間、駆動用トランジスタ 11 a はリセットされ、その後、電圧 (電流) プログラムが実施される。

第 33 図 (a) も同様であるが、第 44 図 (a) のリセット状態と、第 44 図 (b) の電圧プログラム状態とを同期をとって行う場合は、第 44 図 (a) のリセット状態から、第 44 図 (b) の電流プログラム状態までの期間が固定値 (一定値) となるから問題はない (固定値にされている)。この期間が短いと駆動用トランジスタ 11 が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ 11 a が完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面 12 の輝度も低下する。

第 44 図 (a) に示す状態を実施後、第 44 図 (b) に示す状態にする。第 44 図 (b) はトランジスタ 11 b をオンさせ、トランジスタ 11 e とトランジスタ 11 d とをオフさせた状態である。第 44 図 (b) に示す状態は、電圧プログラムを行っている状態である。つまり、ソースドライバ 14 からプログラム電圧を出力し、このプログラム電圧を駆動用トランジスタ 11 a のゲート (G) 端子に書き込む (駆動用トラン

ジスタ 11 a のゲート (G) 端子の電位をコンデンサ 19 に設定する)。

なお、電圧プログラム方式の場合は、電圧プログラム時にトランジスタ 11 d を必ずしもオフさせる必要はない。また、第 13 図、第 15 図などの N 倍パルス駆動などと組み合わせること、あるいは以上のような、
5 間欠 N/K 倍パルス駆動 (1 画面に点灯領域を複数設ける駆動方法である。この駆動方法は、トランジスタ 11 e をオンオフ動作させることにより容易に実現できる) を実施する必要がなければ、トランジスタ 11 e は不要である。このことは以前に説明をしたので、説明を省略する。

第 43 図に示す構成あるいは第 44 図の駆動方法で白表示の電圧プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、黒表示状態のオフセット電圧 (各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧) から電圧プログラムを完全に行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ 11 a の特性バラツキ
15 による階調誤差がなく、良好な画像表示を実現できる。

第 44 図 (b) に示す電流プログラミング後、第 44 図 (c) に図示するように、トランジスタ 11 b をオフし、トランジスタ 11 d をオンさせて、駆動用トランジスタ 11 a からのプログラム電流を EL 素子 15 に流し、EL 素子 15 を発光させる。

20 以上のように、第 43 図の電圧プログラムにおける本発明のリセット駆動は、まず、HD 同期信号に同期して、最初にトランジスタ 11 d をオンさせ、トランジスタ 11 e をオフさせて、トランジスタ 11 a に電流を流す第 1 の動作と、トランジスタ 11 a と EL 素子 15 との間を切断し、かつ、駆動用トランジスタ 11 a のドレイン (D) 端子とゲート
25 (G) 端子 (もしくはソース (S) 端子とゲート (G) 端子、さらに一般的に表現すれば駆動用トランジスタのゲート (G) 端子を含む 2 端子) との間をショートする第 2 の動作と、前記動作の後、駆動用トランジスタ 11 a に電圧プログラムを行う第 3 の動作とを実施するもので

ある。

5 以上の実施例では、駆動用トランジスタ素子 11a（第1図の画素構成の場合）から EL 素子 15 に流す電流を制御するのに、トランジスタ 11d をオンオフさせて行う。トランジスタ 11d をオンオフさせるためには、ゲート信号線 17b を走査する必要がある、走査のためには、シフトレジスタ 61（ゲート回路 12）が必要となる。しかし、シフトレジスタ 61 は規模が大きく、ゲート信号線 17b の制御にシフトレジスタ 61 を用いたのでは狭額縁化できない。第 40 図を参照して説明する方式は、この課題を解決するものである。

10 なお、本発明は、主として第1図などに図示する電流プログラムの画素構成を例示して説明をするが、これに限定するものではなく、第38図などで説明した他の電流プログラム構成（カレントミラーの画素構成）であっても適用できることはいうまでもない。また、ブロックでオンオフする技術的概念は、第41図などの電圧プログラムの画素構成であつても適用できることは言うまでもない。また、本発明は、EL 素子 15 に流れる電流を間欠にする方式であるから、第50図などを参照して説明する逆バイアス電圧を印加する方式とも組み合わせることができ
15 けることは言うまでもない。以上のように、本発明は他の実施例と組み合わせ実施することができる。

20 第40図はブロック駆動方式の実施例を示している。まず、説明を容易にするため、ゲートドライバ 12 は基板 71 に直接形成したか、もしくはシリコンチップのゲートドライバ 12 を基板 71 に積載したとして説明をする。また、ソースドライバ 14 およびソース信号線 18 は図面が煩雑になるため省略する。

25 第40図において、ゲート信号線 17a はゲートドライバ 12 と接続されている。一方、各画素のゲート信号線 17b は点灯制御線 401 と接続されている。第40図では4本のゲート信号線 17b が1つの点灯制御線 401 と接続されている。

なお、ここでは4本のゲート信号線17bをまとめて1つのブロックとしているがこれに限定されるものではなく、それ以上であってもよいことは言うまでもない。一般的に表示領域50は少なくとも5以上に分割することが好ましい。さらに好ましくは、10以上に分割することが好ましい。さらには、20以上に分割することが好ましい。分割数が少ないと、フリッカが見え易くなる。一方、あまりにも分割数が多いと、点灯制御線401の本数が多くなり、制御線401のレイアウトが困難になる。

したがって、QCIF表示パネルの場合は、垂直走査線の本数が220本であるから、少なくとも、 $220 / 5 = 44$ 本以上でブロック化する必要があり、好ましくは、 $220 / 10 = 22$ 以上でブロック化する必要がある。ただし、奇数行と偶数行とで2つのブロック化を行った場合は、低フレームレートでも比較的フリッカの発生が少ないため、2つのブロック化で十分の場合がある。

第40図の実施例では、点灯制御線401a、401b、401c、401d、…、401nと順次、オン電圧(Vg1)を印加するか、もしくはオフ電圧(Vgh)を印加し、ブロックごとにEL素子15に流れる電流をオンオフさせる。

なお、第40図の実施例では、ゲート信号線17bと点灯制御線401とがクロスすることがない。したがって、ゲート信号線17bと点灯制御線401とがショートするといった欠陥は発生しない。また、ゲート信号線17bと点灯制御線401とが容量結合することがないため、点灯制御線401からゲート信号線17b側を見たときの容量付加が極めて小さい。したがって、点灯制御線401を駆動しやすい。

ゲートドライバ12にはゲート信号線17aが接続されている。ゲート信号線17aにオン電圧を印加することにより、画素行が選択され、選択された各画素のトランジスタ11b、11cはオンして、ソース信号線18に印加された電流(電圧)を各画素のコンデンサ19にプログ

ラムする。一方、ゲート信号線 17 b は各画素のトランジスタ 11 d のゲート (G) 端子と接続されている。したがって、点灯制御線 401 にオン電圧 (V_{g1}) が印加されたとき、駆動用トランジスタ 11 a と EL 素子 15 との電流経路を形成し、逆にオフ電圧 (V_{gh}) が印加されたときは、EL 素子 15 のアノード端子をオープンにする。

5 なお、点灯制御線 401 に印加するオンオフ電圧の制御タイミングと、ゲートドライバ 12 がゲート信号線 17 a に出力する画素行選択電圧 (V_{g1}) のタイミングとは 1 水平走査クロック (1H) に同期していることが好ましい。しかし、これに限定するものではない。

10 点灯制御線 401 に印加する信号は単に、EL 素子 15 への電流をオンオフさせるだけである。また、ソースドライバ 14 が出力する画像データと同期がとれている必要もない。点灯制御線 401 に印加する信号は、各画素 16 のコンデンサ 19 にプログラムされた電流を制御するものだからである。したがって、必ずしも、画素行の選択信号と同期がと

15 れている必要はない。また、同期する場合であってもクロックは 1H 信号に限定されるものではなく、 $1/2H$ でも、 $1/4H$ であってもよい。

第 38 図に図示したカレントミラーの画素構成の場合であっても、ゲート信号線 17 b を点灯制御線 401 に接続することにより、トランジスタ 11 e をオンオフ制御できる。したがって、ブロック駆動を実現で

20 きる。

なお、第 32 図において、ゲート信号線 17 a を点灯制御線 401 に接続し、リセットを実施すれば、ブロック駆動を実現できる。この場合、本発明のブロック駆動は、1 つの制御線で、複数の画素行を同時に非点灯 (あるいは黒表示) とする駆動方法となる。

25 以上の実施例は、1 画素行ごとに 1 本の選択画素行を配置 (形成) する構成であった。本発明は、これに限定するものではなく、複数の画素行で 1 本の選択ゲート信号線を配置 (形成) してもよい。

第 41 図はその実施例である。なお、説明を容易にするため、画素構

成は第1図の場合を主として例示して説明をする。第41図において、ゲート信号線17aは3つの画素(16R、16G、16B)を同時に選択する。なお、Rの記号とは赤色の画素関連を意味し、Gの記号とは緑色の画素関連を意味し、Bの記号とは青色の画素関連を意味するものとする。

したがって、ゲート信号線17aの選択により、画素16R、画素16Gおよび画素16Bが同時に選択されデータ書き込み状態となる。画素16Rはソース信号線18Rからデータをコンデンサ19Rに書き込み、画素16Gはソース信号線18Gからデータをコンデンサ19Gに書き込む。画素16Bはソース信号線18Bからデータをコンデンサ19Bに書き込む。

画素16Rのトランジスタ11dはゲート信号線17bRに接続されている。また、画素16Gのトランジスタ11dはゲート信号線17bGに接続され、画素16Bのトランジスタ11dはゲート信号線17bBに接続されている。したがって、画素16RのEL素子15R、画素16GのEL素子15G、画素16BのEL素子15Bはそれぞれ独立してオンオフ制御することができる。つまり、EL素子15R、EL素子15G、EL素子15Bはゲート信号線17bR、17bG、17bBをそれぞれ制御することにより、点灯時間、点灯周期を個別に制御することができる。

この動作を実現するためには、第6図に示す構成において、ゲート信号線17aを走査するシフトレジスタ回路61と、ゲート信号線17bRを走査するシフトレジスタ回路61と、ゲート信号線17bGを走査するシフトレジスタ回路61と、ゲート信号線17bBを走査するシフトレジスタ回路61との4つを形成(配置)することが適切である。

なお、ソース信号線18に所定電流のN倍の電流を流すことにより、EL素子15に所定電流のN倍の電流を1/Nの期間流すとしたが、実用上はこれを実現できない。実際にはゲート信号線17に印加した信号

パルスがコンデンサ 19 に突き抜け、コンデンサ 19 に所望の電圧値（電流値）を設定できないからである。一般的にコンデンサ 19 には所望の電圧値（電流値）よりも低い電圧値（電流値）が設定される。たとえば、10 倍の電流値を設定するように駆動しても、5 倍程度の電流しかコンデンサ 19 には設定されない。たとえば、 $N=10$ としても実際に EL 素子 15 に流れる電流は $N=5$ の場合と同一となる。したがって、本発明は N 倍の電流値を設定し、 N 倍に比例したあるいは対応する電流を EL 素子 15 に流れるように駆動する方法である。もしくは、所望値よりも大きい電流を EL 素子 15 にパルス状に印加する駆動方法である。

また、所望値より電流（そのまま、EL 素子 15 に連続して電流を流すと所望輝度よりも高くなるような電流）を駆動用トランジスタ 11a（第 1 図を例示する場合）に電流（電圧）プログラムを行い、EL 素子 15 に流れる電流を間欠にすることにより、所望の EL 素子の発光輝度を得るものである。

なお、このコンデンサ 19 への突き抜けによる補償回路は、ソースドライバ 14 内に導入する。この事項については後ほど説明をする。

また、第 1 図などのスイッチングトランジスタ 11b、11c などは N チャンネルで形成することが好ましい。コンデンサ 19 への突き抜け電圧が低減するからである。また、コンデンサ 19 のオフリークも減少するため、10 Hz 以下の低いフレームレートにも適用できるようになる。

また、画素構成によっては、突き抜け電圧が EL 素子 15 に流れる電流を増加させる方向に作用する場合は、白ピーク電流が増加し、画像表示のコントラスト感が増加する。したがって、良好な画像表示を実現できる。

逆に、第 1 図のスイッチングトランジスタ 11b、11c を P チャンネルにすることにより突き抜けを発生させて、より黒表示を良好にする

方法も有効である。この場合、Pチャンネルトランジスタ11bをオフに
 5 するときには V_{gh} 電圧となる。そのため、コンデンサ19の端子電圧
 が V_{dd} 側に少しシフトする。これにより、トランジスタ11aのゲー
 ト(G)端子電圧は上昇し、より良好な黒表示となる。また、第1階調
 表示とする電流値を大きくすることができるため(階調1までに一定の
 ベース電流を流すことができる)、電流プログラム方式で書き込み電流
 不足を軽減できる。

その他、ゲート信号線17aとトランジスタ11aのゲート(G)端
 10 子との間に積極的にコンデンサ19bを形成し、突き抜け電圧を増加さ
 せる構成も有効である(第42図(a)を参照)。このコンデンサ19
 bの容量は正規のコンデンサ19aの容量の $1/50$ 以上 $1/10$ 以
 下にすることが好ましい。この値は $1/40$ 以上 $1/15$ 以下とするこ
 とが好ましい。もしくはトランジスタ11bのソースゲート(ソース
 ードレイン(SG)もしくはゲートドレイン(GD))容量の1倍以
 15 上10倍以下にする。さらに好ましくは、SG容量の2倍以上6倍以下
 にすることが好ましい。なお、コンデンサ19bは、コンデンサ19a
 の一方の端子(トランジスタ11aのゲート(G)端子)とトランジス
 タ11dのソース(S)端子との間に形成または配置してもよい。この
 場合も容量などは先に説明した値と同様である。

20 突き抜け電圧発生用のコンデンサ19bの容量(容量を C_b (pF)
 とする)は、電荷保持用のコンデンサ19aの容量(容量と C_a (pF)
 とする)と、トランジスタ11aの白ピーク電流時(画像表示で表示最
 大輝度の白ラスタ時)のゲート(G)端子電圧 V_w を黒表示での電流
 を流す(基本的には電流は0である。つまり、画像表示で黒表示の場合)
 25 ときのゲート(G)端子電圧 V_b とが関連する。これらの関係は、

$$C_a / (200 C_b) \leq |V_w - V_b| \leq C_a / (8 C_b)$$

の条件を満足させることが好ましい。なお、 $|V_w - V_b|$ とは、駆動
 用トランジスタの白表示時の端子電圧と黒表示時の端子電圧との差の

絶対値である（つまり、変化する電圧幅）。

さらに好ましくは、

$$C_a / (100 C_b) \leq |V_w - V_b| \leq C_a / (10 C_b)$$

の条件を満足させることが好ましい。

- 5 トランジスタ 11 b は P チャンネルにし、この P チャンネルは少なくともダブルゲート以上にする。また、好ましくは、トリプルゲート以上にする。さらに好ましくは、4ゲート以上にする。そして、トランジスタ 11 b のソースゲート（SG もしくはゲートドレイン（GD））容量（トランジスタがオンしているときの容量）の 1 倍以上 10 倍以下のコンデンサを並列に形成または配置することが好ましい。
- 10

- なお、以上の事項は、第 1 図に示す画素構成だけでなく、他の画素構成でも有効である。たとえば、第 42 図（b）に図示するようなカレントミラーの画素構成において、突き抜けを発生させるコンデンサをゲート信号線 17 a または 17 b とトランジスタ 11 a のゲート（G）端子との間に配置または形成する。スイッチングトランジスタ 11 c の N チャンネルはダブルゲート以上とする。もしくはスイッチングトランジスタ 11 c、11 d を P チャンネルとし、トリプルゲート以上とする。
- 15

- 第 41 図に示す電圧プログラムの構成にあっては、ゲート信号線 17 c と駆動用トランジスタ 11 a のゲート（G）端子との間に突き抜け電圧発生用のコンデンサ 19 c を形成または配置する。また、スイッチングトランジスタ 11 c はトリプルゲート以上とする。突き抜け電圧発生用のコンデンサ 19 c はトランジスタ 11 c のドレイン（D）端子（コンデンサ 19 b 側）とゲート信号線 17 a との間に配置してもよい。また、突き抜け電圧発生用のコンデンサ 19 c はトランジスタ 11 a のゲート（G）端子とゲート信号線 17 a との間に配置してもよい。また、
- 20
- 25 突き抜け電圧発生用のコンデンサ 19 c はトランジスタ 11 c のドレイン（D）端子（コンデンサ 19 b 側）とゲート信号線 17 c との間に配置してもよい。

また、電荷保持用のコンデンサ 19 a の容量を C_a とし、スイッチング用のトランジスタ 11 c または 11 d のソース・ゲート容量を C_c (突き抜け用のコンデンサがある場合には、その容量を加えた値) とし、ゲート信号線に印加される高電圧信号を (V_{gh}) とし、ゲート信号線に印加される低電圧信号を (V_{gl}) とした場合、以下の条件を満足するように構成することにより、良好な黒表示を実現できる。

$$0.05 \text{ (V)} \leq (V_{gh} - V_{gl}) \times (C_c / C_a) \leq 0.8 \text{ (V)}$$

また、以下の条件を満足させることが好ましい。

$$0.1 \text{ (V)} \leq (V_{gh} - V_{gl}) \times (C_c / C_a) \leq 0.5 \text{ (V)}$$

以上の事項は第 43 図などに示す画素構成にも有効である。第 43 図に示す電圧プログラムの画素構成では、トランジスタ 11 a のゲート (G) 端子とゲート信号線 17 a との間に突き抜け電圧発生用のコンデンサ 19 b を形成または配置する。

なお、突き抜け電圧を発生させるコンデンサ 19 b は、トランジスタのソース配線およびゲート配線で形成する。ただし、トランジスタ 11 のソース幅を広げて、ゲート信号線 17 と重ねて形成する構成であるから、実用上は明確にトランジスタと分離できない構成となる場合がある。

また、スイッチングトランジスタ 11 b、11 c (第 1 図の構成の場合) を必要以上に大きく形成することにより、見かけ上、突き抜け電圧用のコンデンサ 19 b を構成する方式も本発明の範疇である。スイッチングトランジスタ 11 b、11 c はチャンネル幅 W / チャンネル長 $L = 6 / 6 \mu\text{m}$ で形成することが多い。ここで W と L との比を大きくすることとも突き抜け電圧用のコンデンサ 19 b を構成することになる。例えば、 $W : L$ の比を 2 : 1 以上 20 : 1 以下にする構成が例示される。好ましくは、 $W : L$ の比を 3 : 1 以上 10 : 1 以下にすることがよい。

また、突き抜け電圧用のコンデンサ 19 b は、画素が変調する R、G、

Bで大きさ（容量）を変化させることが好ましい。R、G、Bの各EL素子15の駆動電流が異なるためである。また、EL素子15のカットオフ電圧が異なるためである。そのため、EL素子15の駆動用トランジスタ11aのゲート（G）端子にプログラムする電圧（電流）が異なる。たとえば、Rの画素のコンデンサ11bRを0.02pFとした場合、他の色（G、Bの画素）のコンデンサ11bG、11bBを0.025pFとする。また、Rの画素のコンデンサ11bRを0.02pFとした場合、Gの画素のコンデンサ11bGと0.03pFとし、Bの画素のコンデンサ11bBを0.025pFとするなどである。このように、R、G、Bの画素ごとにコンデンサ11bの容量を変化させることによりオフセットの駆動電流をRGBごとに調整することができる。したがって、RGBのそれぞれにおける黒表示レベルを最適値にすることができる。

以上では、突き抜け電圧発生用のコンデンサ19bの容量を変化させるとしたが、突き抜け電圧は、保持用のコンデンサ19aと突き抜け電圧発生用のコンデンサ19bとの容量の相対的なものである。したがって、コンデンサ19bをR、G、Bの画素で変化することに限定するものではない。したがって、保持用コンデンサ19aの容量を変化させてもよい。たとえば、Rの画素のコンデンサ11aRを1.0pFとした場合、Gの画素のコンデンサ11aGと1.2pFとし、Bの画素のコンデンサ11aBを0.9pFとするなどである。このとき、突き抜け用コンデンサ19bの容量は、R、G、Bで共通の値とする。したがって、本発明は、保持用のコンデンサ19aと突き抜け電圧発生用のコンデンサ19bとの容量比について、R、G、Bの画素のうち、少なくとも1つを他と異ならせたものである。なお、保持用のコンデンサ19aの容量と突き抜け電圧発生用のコンデンサ19bとの容量との両方をR、G、B画素で変化させてもよい。

また、画面50の左右で突き抜け電圧用のコンデンサ19bの容量を

変化させてもよい。ゲートドライバ12に近い位置にある画素16は信号供給側に配置されているので、ゲート信号の立ち上がりが速い（スルーレートが高いからである）ため、突き抜け電圧が大きくなる。ゲート信号線17の端に配置（形成）されている画素は、信号波形が鈍っている（ゲート信号線17には容量があるためである）。ゲート信号の立ち上がりが遅い（スルーレートが遅い）ので、突き抜け電圧が小さくなるためである。したがって、ゲートドライバ12との接続側に近い画素16の突き抜け電圧用コンデンサ19bを小さくする。また、ゲート信号線17の端はコンデンサ19bを大きくする。たとえば、画面の左右でコンデンサの容量は10%程度変化させる。

発生する突き抜け電圧は、保持用コンデンサ19aと突き抜け電圧発生用のコンデンサ19bとの容量比で決定される。したがって、画面の左右で突き抜け電圧発生用のコンデンサ19bの大きさを変化させるとしているが、これに限定されるわけではない。突き抜け電圧発生用のコンデンサ19bは画面の左右で一定にし、電荷保持用のコンデンサ19aの容量を画面の左右で変化させてもよい。また、突き抜け電圧発生用のコンデンサ19bの容量と、電荷保持用のコンデンサ19aの容量との両方を画面の左右で変化させてもよいことは言うまでもない。

本発明のN倍パルス駆動には、EL素子15に印加する電流が瞬時的ではあるが、従来と比較してN倍大きいという問題がある。電流が大きいとEL素子の寿命を低下させる場合がある。この課題を解決するためには、EL素子15に逆バイアス電圧 V_m を印加することが有効である。

EL素子15において、電子は陰極（カソード）より電子輸送層に注入されると同時に正孔も陽極（アノード）から正孔輸送層に注入される。注入された電子、正孔は印加電界により対極に移動する。その際、有機層中にトラップされたり、発光層界面でのエネルギー準位の差によりキャリアが蓄積されたりする。

有機層中に空間電荷が蓄積されると分子が酸化もしくは還元され、生

成されたラジカル陰イオン分子もしくはラジカル陽イオン分子が不安定であることで、膜質の低下により輝度の低下および定電流駆動時の駆動電圧の上昇を招くことが知られている。これを防ぐために、一例としてデバイス構造を変化させ、逆方向電圧を印加している。

- 5 逆バイアス電圧が印加されると、逆方向電流が印加されることになるため、注入された電子及び正孔がそれぞれ陰極及び陽極へ引き抜かれる。これにより、有機層中の空間電荷形成を解消し、分子の電気化学的劣化を抑えることで寿命を長くすることが可能となる。

第45図は、逆バイアス電圧 V_m およびEL素子15の端子電圧の変化を示している。ここで端子電圧とは、EL素子15に定格電流を供給したときの電圧である。第45図はEL素子15に流す電流が電流密度100 A/平方メートルの場合を示しているが、第45図に示される傾向は、電流密度50～100 A/平方メートルの場合とほとんど差がなかった。したがって、広い範囲の電流密度で適用できると推定される。

- 15 縦軸は初期のEL素子15の端子電圧に対して、2500時間後の端子電圧との比を表している。たとえば、経過時間0時間において、電流密度100 A/平方メートルの電流の印加したときの端子電圧を8 (V) とし、経過時間2500時間において、電流密度100 A/平方メートルの電流の印加したときの端子電圧を10 (V) とすれば、端子電圧比は、 $10/8 = 1.25$ である。

- 25 横軸は、逆バイアス電圧 V_m と1周期に逆バイアス電圧を印加した時間 t_1 の積に対する定格端子電圧 V_0 の比を表している。たとえば、60 Hz (とくに60 Hzに意味はないが) で、逆バイアス電圧 V_m を印加した時間が $1/2$ (半分) であれば、 $t_1 = 0.5$ である。また、経過時間0時間において、電流密度100 A/平方メートルの電流を供給したときの端子電圧 (定格端子電圧) を8 (V) とし、逆バイアス電圧 V_m を8 (V) とすれば、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2) = | -8 \text{ (V)} \times 0.5 | / (8 \text{ (V)} \times 0.5) = 1.0$ と

なる。

第45図によれば、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が1.0以上で端子電圧比の変化はなくなる（初期の定格端子電圧から変化しない）。逆バイアス電圧 V_m の印加による効果がよく発揮されている。しかし、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が1.75以上で端子電圧比は増加する傾向にある。したがって、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が1.0以上になるように逆バイアス電圧 V_m の大きさおよび印加時間比 t_1 （もしくは t_2 、あるいは t_1 と t_2 との比率）を決定するとよい。また、好ましくは、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が1.75以下になるように逆バイアス電圧 V_m の大きさおよび印加時間比 t_1 などを決定するとよい。

ただし、バイアス駆動を行う場合は、逆バイアス V_m と定格電流とを交互に印加する必要がある。第46図に示す場合において、サンプルAとBとの単位時間あたりの平均輝度を等しくしようとすると、逆バイアス電圧を印加するときは、印加しないときと比較して瞬時的には高い電流を流す必要がある。そのため、逆バイアス電圧 V_m を印加する場合（第46図のサンプルA）のEL素子15の端子電圧も高くなる。

しかし、第45図では、逆バイアス電圧を印加する駆動方法でも、定格端子電圧 V_0 とは、平均輝度を満足する端子電圧（つまり、EL素子15を点灯する端子電圧）とする（本明細書の具体例によれば、電流密度 200 A/平方メートル の電流の印加した時の端子電圧である。ただし、 $1/2$ デューティであるので、1周期の平均輝度は電流密度 200 A/平方メートル での輝度となる）。

以上の事項は、EL素子15に、白ラスタ表示させる場合（画面全体のEL素子に最大電流を供給している場合）を想定している。しかし、EL表示装置にて映像表示を行う場合は、自然画であり、階調表示を行う。したがって、たえず、EL素子15の白ピーク電流（最大白表示で

流れる電流。本明細書の具体例では、平均電流密度100A/平方メートルの電流)が流れているのではない。

一般的に、映像表示を行う場合、各EL素子15に印加される電流(流れる電流)は、白ピーク電流(定格端子電圧時に流れる電流。本明細書の具体例によれば、電流密度100A/平方メートルの電流)の約0.2倍である。

したがって、第45図に示す実施例では、映像表示を行う場合は横軸の値に0.2をかけるものとする必要がある。したがって、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が0.2以上になるように逆バイアス電圧 V_m の大きさおよび印加時間比 t_1 (もしくは t_2 、あるいは t_1 と t_2 との比率など)を決定するとよい。また、好ましくは、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が $1.75 \times 0.2 = 0.35$ 以下になるように逆バイアス電圧 V_m の大きさおよび印加時間比 t_1 などを決定するとよい。

つまり、第45図の横軸($| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$)において、1.0の値を0.2とする必要がある。したがって、表示パネルに映像を表示する(この使用状態が通常であろう。白ラスタを常時表示することはないであろう)ときは、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が0.2よりも大きくなるように、逆バイアス電圧 V_m を所定時間 t_1 印加するようにする。また、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ の値が大きくなっても、第45図で図示するように、端子電圧比の増加は大きくない。したがって、上限値は白ラスタ表示を実施することも考慮して、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ の値が1.75以下を満足するようにすればよい。

以下、図面を参照しながら、本発明の逆バイアス方式について説明をする。なお、本発明はEL素子15に電流が流れていない期間に逆バイアス電圧 V_m (電流)を印加することを基本とする。しかし、これに限

定するものではない。たとえば、EL素子15に電流が流れている状態で、強制的に逆バイアス電圧 V_m を印加してもよい。なお、この場合は、結果としてEL素子15には電流が流れず、非点灯状態（黒表示状態）となるであろう。また、本発明は、主として電流プログラムの画素構成で逆バイアス電圧 V_m を印加することを中心として説明するがこれに

5 限定するものではない。

逆バイアス駆動の画素構成では、第47図に図示するように、トランジスタ11gをNチャンネルとする。もちろん、Pチャンネルでもよい。

第47図では、ゲート電位制御線473に印加する電圧を逆バイアス線471に印加している電圧よりも高くすることにより、トランジスタ11g（N）がオンし、EL素子15のアノード電極に逆バイアス電圧 V_m が印加される。

10

また、第47図の画素構成などにおいて、ゲート電位制御線473を常時、電位固定して動作させてもよい。たとえば、第47図において V_k 電圧が0（V）とする時、ゲート電位制御線473の電位を0（V）以上（好ましくは2（V）以上）にする。なお、この電位を V_{sg} とする。この状態で、逆バイアス線471の電位を逆バイアス電圧 V_m （0（V）以下、好ましくは V_k より-5（V）以上小さい電圧）にすると、トランジスタ11g（N）がオンし、EL素子15のアノードに、逆バイアス電圧 V_m が印加される。逆バイアス線471の電圧をゲート電位制御線473の電圧（つまり、トランジスタ11gのゲート（G）端子電圧）よりも高くすると、トランジスタ11gはオフ状態となるため、EL素子15には逆バイアス電圧 V_m は印加されない。もちろん、この状態のときに、逆バイアス線471をハイインピーダンス状態（オープン状態など）としてもよいことは言うまでもない。

20

25

また、第48図に図示するように、逆バイアス線471を制御するゲートドライバ12cを別途形成または配置してもよい。ゲートドライバ12cは、ゲートドライバ12aと同様に順次シフト動作し、シフト動

作に同期して、逆バイアス電圧を印加する位置がシフトされる。

以上の駆動方法では、トランジスタ 11g のゲート (G) 端子は電位固定し、逆バイアス線 471 の電位を変化させるだけで、EL 素子 15 に逆バイアス電圧 V_m を印加することができる。したがって、逆バイアス電圧 V_m の印加制御が容易である。また、トランジスタ 11g のゲート (G) 端子とソース (S) 端子との間に印加される電圧を低減できる。このことは、トランジスタ 11g が P チャンネルの場合も同様である。

また、逆バイアス電圧 V_m の印加は、EL 素子 15 に電流を流していないときに行うものである。したがって、トランジスタ 11d がオンしていないときに、トランジスタ 11g をオンさせることにより行えばよい。つまり、トランジスタ 11d のオンオフロジックの逆をゲート電位制御線 473 に印加すればよい。たとえば、第 47 図では、ゲート信号線 17b にトランジスタ 11d およびトランジスタ 11g のゲート (G) 端子を接続すればよい。トランジスタ 11d は P チャンネルであり、トランジスタ 11g は N チャンネルであるため、オンオフ動作は反対となる。

第 49 図は逆バイアス駆動のタイミングチャートである。なお、チャート図において (1) (2) などの添え字は、画素行を示している。説明を容易にするため、(1) とは、第 1 画素行目と示し、(2) とは第 2 画素行目を示すとして説明をするが、これに限定するものではない。(1) が N 画素行目を示し、(2) が N+1 画素行目を示すと考えても良い。以上のことは他の実施例でも、特例を除いて同様である。また、第 49 図などの実施例では、第 1 図などの画素構成を例示して説明をするがこれに限定されるものではない。たとえば、第 41 図、第 38 図などの画素構成においても適用できるものである。

第 1 画素行目のゲート信号線 17a (1) にオン電圧 (V_{gl}) が印加されているときには、第 1 画素行目のゲート信号線 17b (1) にはオフ電圧 (V_{gh}) が印加される。つまり、トランジスタ 11d はオフ

であり、EL素子15には電流が流れていない。

逆バイアス線471(1)には、Vs1電圧(トランジスタ11gがオンする電圧)が印加される。したがって、トランジスタ11gがオンし、EL素子15には逆バイアス電圧が印加されている。逆バイアス電圧は、ゲート信号線17bにオフ電圧(Vgh)が印加された後、所定期間(1Hの1/200以上の期間、または、0.5μsec)後に、逆バイアス電圧が印加される。また、ゲート信号線17bにオン電圧(Vg1)が印加される所定期間(1Hの1/200以上の期間、または、0.5μsec)前に、逆バイアス電圧がオフされる。これは、トランジスタ11dとトランジスタ11gが同時にオンとなることを回避するためである。

次の水平走査期間(1H)において、ゲート信号線17aにはオフ電圧(Vgh)が印加され、第2画素行が選択される。つまり、ゲート信号線17b(2)にオン電圧が印加される。一方、ゲート信号線17bにはオン電圧(Vg1)が印加され、トランジスタ11dがオンして、EL素子15にトランジスタ11aから電流が流れEL素子15が発光する。また、逆バイアス線471(1)にはオフ電圧(Vsh)が印加されて、第1画素行(1)のEL素子15には逆バイアス電圧が印加されないようになる。第2画素行の逆バイアス線471(2)にはVs1電圧(逆バイアス電圧)が印加される。

以上の動作を順次くりかえすことにより、1画面の画像が書き換えられる。以上の実施例では、各画素にプログラムされている期間に、逆バイアス電圧を印加するという構成であった。しかし、本発明は、第48図に示す回路構成に限定されるものではない。複数の画素行に連続して逆バイアス電圧を印加することもできることは明らかである。また、ブロック駆動(第40図参照)、N倍パルス駆動、リセット駆動、ダミー画素駆動などと組み合わせることができることは明らかである。

また、逆バイアス電圧の印加は、画像表示の途中に実施することに限

定するものではない。EL表示装置の電源オフ後、一定の期間の間、逆バイアス電圧が印加されるように構成してもよい。

5 以上の実施例は、第1図に示す画素構成の場合であったが、他の構成においても、第38図、第41図などの逆バイアス電圧を印加する構成に適用できることは言うまでもない。たとえば、第50図に示す電流プログラム方式の画素構成に適用することも可能である。

10 第50図は、カレントミラーの画素構成である。トランジスタ11cは画素選択素子である。ゲート信号線17a1にオン電圧を印加することにより、トランジスタ11cがオンする。トランジスタ11dはリセット機能と、駆動用トランジスタ11aのドレイン(D)ーゲート(G)端子間をショート(GDショート)する機能を有するスイッチ素子である。トランジスタ11dはゲート信号線17a2にオン電圧を印加することによりオンする。

15 トランジスタ11dは、該当画素が選択する1H(1水平走査期間、つまり1画素行)以上前にオンする。好ましくは3H前にはオンさせる。3H前とすれば、3H前にトランジスタ11dがオンし、トランジスタ11aのゲート(G)端子とドレイン(D)端子とがショートされる。そのため、トランジスタ11aはオフにする。したがって、トランジスタ11bには電流が流れなくなり、EL素子15は非点灯となる。

20 EL素子15が非点灯状態の場合、トランジスタ11gがオンし、EL素子15に逆バイアス電圧が印加される。したがって、逆バイアス電圧は、トランジスタ11dがオンされている期間、印加されることになる。そのため、ロジック的にはトランジスタ11dとトランジスタ11gとは同時にオンすることになる。

25 トランジスタ11gのゲート(G)端子はVsg電圧が印加されて固定されている。逆バイアス線471をVsg電圧より十分に小さな逆バイアス電圧を逆バイアス線471に印加することによりトランジスタ11gがオンする。

その後、前記該当画素に画像信号が印加される（書き込まれる）水平走査期間がくると、ゲート信号線 17 a 1 にオン電圧が印加され、トランジスタ 11 c がオンする。したがって、ソースドライバ 14 からソース信号線 18 に出力された画像信号電圧がコンデンサ 19 に印加される（トランジスタ 11 d はオン状態が維持されている）。

トランジスタ 11 d をオンさせると黒表示となる。1 フィールド（1 フレーム）期間に占めるトランジスタ 11 d のオン期間が長くなるほど、黒表示期間の割合が長くなる。したがって、黒表示期間が存在しても 1 フィールド（1 フレーム）の平均輝度を所望値とするためには、表示期間の輝度を高くする必要がある。つまり、表示期間に EL 素子 15 に流す電流を大きくする必要がある。この動作は、本発明の N 倍パルス駆動である。したがって、N 倍パルス駆動と、トランジスタ 11 d をオンさせて黒表示とする駆動とを組み合わせることが本発明の 1 つの特徴ある動作である。また、EL 素子 15 が非点灯状態で、逆バイアス電圧を EL 素子 15 に印加することが本発明の特徴ある構成（方式）である。

以上の実施例では、画像表示を行う場合において、画素が非点灯状態のときに逆バイアス電圧を印加する方式であったが、逆バイアス電圧を印加する構成はこれに限定するものではない。画像を非表示に逆バイアス電圧を印加するのであれば、逆バイアス用のトランジスタ 11 g を各画素に形成する必要はない。ここで非点灯状態とは、表示パネルの使用を終了した後、あるいは使用前に逆バイアス電圧を印加している状態である。

例えば、第 1 図の画素構成において、画素 16 を選択し（トランジスタ 11 b、トランジスタ 11 c をオンさせる）、ソースドライバ（回路）14 から、ソースドライバが出力できる低い電圧 V_0 （例えば、GND 電圧）を出力して駆動用トランジスタ 11 a のドレイン端子（D）に印加する。この状態でトランジスタ 11 d もオンさせれば EL のアノード端子に V_0 電圧が印加される。同時に、EL 素子 15 のカソード V_k に

V₀ 電圧に対し、 $-5 \sim -15$ (V) の低い電圧 V_m 電圧を印加すれば E L 素子 1 5 に逆バイアス電圧が印加される。また、V_{d d} 電圧も V₀ 電圧より $0 \sim -5$ (V) の低い電圧を印加することにより、トランジスタ 1 1 a も オフ 状態となる。以上のようにソースドライバ 1 4 から電圧
5 を出力し、ゲート信号線 1 7 を制御することにより、逆バイアス電圧を E L 素子 1 5 に印加することができる。

N 倍パルス駆動は、1 フィールド (1 フレーム) 期間内において、1 度、黒表示をしても再度、E L 素子 1 5 に所定の電流 (プログラムされた電流 (コンデンサ 1 9 に保持されている電圧による)) を流すことが
10 できる。しかし、第 5 0 図に示す構成では、一度、トランジスタ 1 1 d がオンすると、コンデンサ 1 9 の電荷は放電 (減少を含む) されるため、E L 素子 1 5 に所定の電流 (プログラムされた電流) を流すことができない。しかし、回路動作が容易であるという特徴がある。

なお、以上の実施例は電流プログラム方式の場合の画素構成であった
15 が、本発明はこれに限定するものではなく、第 3 8 図、第 5 0 図のような他の電流方式の画素構成にも適用することができる。また、第 5 1 図、第 5 4 図、第 6 2 図に図示するような電圧プログラムの画素構成でも適用することができる。

第 5 1 図は一般的に最も簡単な電圧プログラムの画素構成を示している。トランジスタ 1 1 b は選択スイッチング素子であり、トランジスタ 1 1 a は E L 素子 1 5 に電流を供給する駆動用トランジスタである。
20 この構成で、E L 素子 1 5 のアノードに逆バイアス電圧印加用のトランジスタ (スイッチング素子) 1 1 g を配置 (形成) している。

第 5 1 図に示す画素構成では、E L 素子 1 5 に流す電流は、ソース信号線 1 8 に供給され、トランジスタ 1 1 b が選択されることにより、ト
25 ランジスタ 1 1 a のゲート (G) 端子に供給される。

まず、第 5 1 図に示す構成を説明するために、基本動作について第 5 2 図を用いて説明をする。第 5 1 図に示す画素は電圧オフセットキャン

セラと呼ばれる構成であり、初期化動作、リセット動作、プログラム動作、発光動作の4段階で動作する。

水平同期信号(HD)後、初期化動作が実施される。ゲート信号線17bにオン電圧が印加され、トランジスタ11gがオンする。また、ゲート信号線17aにもオン電圧が印加され、トランジスタ11cがオンする。このとき、ソース信号線18にはV_{dd}電圧が印加される。したがって、コンデンサ19bの端子aにはV_{dd}電圧が印加されることになる。この状態で、駆動用トランジスタ11aはオンし、EL素子15に僅かな電流が流れる。この電流により駆動用トランジスタ11aのドレイン(D)端子は少なくともトランジスタ11aの動作点よりも大きな絶対値の電圧値となる。

次にリセット動作が実施される。ゲート信号線17bにオフ電圧が印加され、トランジスタ11eがオフする。一方、ゲート信号線17cにT₁の期間、オン電圧が印加され、トランジスタ11bがオンする。このT₁の期間がリセット期間である。また、ゲート信号線17aには1Hの期間、継続してオン電圧が印加される。なお、T₁は1H期間の20%以上90%以下の期間とすることが好ましい。もしくは、20μs以上160μs以下の間とすることが好ましい。また、コンデンサ19b(C_b)とコンデンサ19a(C_a)の容量の比率は、C_b:C_a=6:1以上1:2以下とすることが好ましい。

リセット期間では、トランジスタ11bのオンにより、駆動用トランジスタ11aのゲート(G)端子とドレイン(D)端子との間がショートされる。したがって、トランジスタ11aのゲート(G)端子電圧とドレイン(D)端子電圧とが等しくなり、トランジスタ11aはオフセット状態(リセット状態:電流が流れない状態)となる。このリセット状態とはトランジスタ11aのゲート(G)端子が、電流を流し始める開始電圧近傍になる状態である。このリセット状態を維持するゲート電圧はコンデンサ19bの端子bに保持される。したがって、コンデンサ

19には、オフセット電圧（リセット電圧）が保持されていることになる。

次のプログラム状態では、ゲート信号線17cにオフ電圧が印加されトランジスタ11bがオフする。一方、ソース信号線18には、Tdの
5 期間、DATA電圧が印加される。したがって、駆動用トランジスタ11aのゲート（G）端子には、DATA電圧+オフセット電圧（リセット電圧）が加えられたものが印加される。そのため、駆動用トランジスタ11aはプログラムされた電流を流せるようになる。

プログラム期間後、ゲート信号線17aにはオフ電圧が印加され、ト
10 ランジスタ11cはオフ状態となり、駆動用トランジスタ11aはソース信号線18から切り離される。また、ゲート信号線17cにもオフ電圧が印加され、トランジスタ11bはオフ状態となり、このオフ状態は1Fの期間保持される。一方、ゲート信号線17bには、必要に応じて
15 オン電圧とオフ電圧とが周期的に印加される。つまり、第13図、第15図などに示すN倍パルス駆動などと組み合わせること、インターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。

第52図に示す駆動方式では、コンデンサ19には、リセット状態で、トランジスタ11aの開始電流電圧（オフセット電圧、リセット電圧）が保持される。そのため、このリセット電圧がトランジスタ11aのゲ
20 ート（G）端子に印加されているときに、最も暗い黒表示状態である。しかし、ソース信号線18と画素16とのカップリング、コンデンサ19への突き抜け電圧あるいはトランジスタの突き抜けにより、黒浮き（コントラスト低下）が発生する。したがって、第52図に示す駆動方式では、表示コントラストを高くすることができない。

25 逆バイアス電圧VmをEL素子15に印加するためには、トランジスタ11aをオフさせる必要がある。トランジスタ11aをオフさせるためには、トランジスタ11aのVdd端子とゲート（G）端子との間をショートすればよい。この構成については、後に第53図を用いて説明

をする。

また、ソース信号線18にV_{dd}電圧またはトランジスタ11aをオフさせる電圧を印加し、トランジスタ11bをオンさせてトランジスタ11aのゲート(G)端子に印加させてもよい。この電圧によりトランジスタ11aがオフする(もしくは、ほとんど、電流が流れないような状態にする(略オフ状態: トランジスタ11aが高インピーダンス状態))。その後、トランジスタ11gをオンさせて、EL素子15に逆バイアス電圧を印加する。この逆バイアス電圧V_mの印加は、全画素同時に行ってもよい。つまり、ソース信号線18にトランジスタ11aを略オフする電圧を印加し、すべての(複数の)画素行のトランジスタ11bをオンさせる。したがって、トランジスタ11aがオフとなる。その後、トランジスタ11gをオンさせて、逆バイアス電圧をEL素子15に印加する。その後、順次、各画素行に画像信号を印加し、表示装置に画像を表示する。

次に、第51図に示す画素構成におけるリセット駆動について説明をする。第53図はその実施例を示している。第53図に示すように画素16aのトランジスタ11cのゲート(G)端子に接続されたゲート信号線17aは次段画素16bのリセット用トランジスタ11bのゲート(G)端子にも接続されている。同様に、画素16bのトランジスタ11cのゲート(G)端子に接続されたゲート信号線17aは次段画素16cのリセット用トランジスタ11bのゲート(G)端子に接続されている。

したがって、画素16aのトランジスタ11cのゲート(G)端子に接続されたゲート信号線17aにオン電圧を印加すると、画素16aが電圧プログラム状態となるとともに、次段画素16bのリセット用トランジスタ11bがオンし、画素16bの駆動用トランジスタ11aがリセット状態となる。同様に、画素16bのトランジスタ11cのゲート(G)端子に接続されたゲート信号線17aにオン電圧を印加すると、

画素 1 6 b が電流プログラム状態となるとともに、次段画素 1 6 c のリ
セット用トランジスタ 1 1 b がオンし、画素 1 6 c の駆動用トランジス
タ 1 1 a がリセット状態となる。したがって、容易に前段ゲート制御方
式によるリセット駆動を実現できる。また、各画素あたりのゲート信号
5 線の引き出し本数を減少させることができる。

さらに詳しく説明する。第 5 3 図 (a) に示すようにゲート信号線 1
7 に電圧が印加されているとする。つまり、画素 1 6 a のゲート信号線
1 7 a にオン電圧が印加され、他の画素 1 6 のゲート信号線 1 7 a にオ
フ電圧が印加されているとする。また、画素 1 6 a、1 6 b のゲート信
10 号線 1 7 b にはオフ電圧が印加され、画素 1 6 c、1 6 d のゲート信号
線 1 7 b にはオン電圧が印加されているとする。

この状態では、画素 1 6 a は電圧プログラム状態で非点灯、画素 1 6
b はリセット状態で非点灯、画素 1 6 c はプログラム電流の保持状態で
点灯、画素 1 6 d はプログラム電流の保持状態で点灯状態である。

15 1 H 後、制御用ゲートドライバ 1 2 のシフトレジスタ回路 6 1 内のデ
ータが 1 ビットシフトし、第 5 3 図 (b) に示す状態となる。第 5 3 図
(b) に示す状態では、画素 1 6 a がプログラム電流保持状態で点灯、
画素 1 6 b が電流プログラム状態で非点灯、画素 1 6 c がリセット状態
で非点灯、画素 1 6 d がプログラム保持状態で点灯状態となる。

20 以上のことから、各画素は前段に印加されたゲート信号線 1 7 a の電
圧により、次段の画素の駆動用トランジスタ 1 1 a がリセットされ、次
の水平走査期間に電圧プログラムが順次行われることがわかる。

第 4 3 図に図示する電圧プログラムの画素構成でも前段ゲート制御
を実現できる。第 5 4 図は、第 4 3 図の画素構成を前段ゲート制御方式
25 の接続とした実施例を示している。

第 5 4 図に示すように画素 1 6 a のトランジスタ 1 1 b のゲート
(G) 端子に接続されたゲート信号線 1 7 a は次段画素 1 6 b のリセッ
ト用トランジスタ 1 1 e のゲート (G) 端子に接続されている。同様に、

画素 1 6 b のトランジスタ 1 1 b のゲート (G) 端子に接続されたゲート信号線 1 7 a は、次段画素 1 6 c のリセット用トランジスタ 1 1 e のゲート (G) 端子に接続されている。

したがって、画素 1 6 a のトランジスタ 1 1 b のゲート (G) 端子に
5 接続されたゲート信号線 1 7 a にオン電圧を印加すると、画素 1 6 a が
電圧プログラム状態となるとともに、次段画素 1 6 b のリセット用ト
ランジスタ 1 1 e がオンし、画素 1 6 b の駆動用トランジスタ 1 1 a がリ
セット状態となる。同様に、画素 1 6 b のトランジスタ 1 1 b のゲート
(G) 端子に接続されたゲート信号線 1 7 a にオン電圧を印加すると、
10 画素 1 6 b が電流プログラム状態となるとともに、次段画素 1 6 c のリ
セット用トランジスタ 1 1 e がオンし、画素 1 6 c の駆動用トランジス
タ 1 1 a がリセット状態となる。したがって、容易に前段ゲート制御方
式によるリセット駆動を実現できる。

さらに詳しく説明する。第 5 5 図 (a) に示すようにゲート信号線 1
15 7 に電圧が印加されているとする。つまり、画素 1 6 a のゲート信号線
1 7 a にオン電圧が印加され、他の画素 1 6 のゲート信号線 1 7 a にオ
フ電圧が印加されているとする。また、すべての逆バイアス用トランジ
スタ 1 1 g はオフ状態であるとする。

この状態では、画素 1 6 a は電圧プログラム状態、画素 1 6 b はリセ
20 ット状態、画素 1 6 c はプログラム電流の保持状態、画素 1 6 d はプロ
グラム電流の保持状態である。

1 H 後、制御用ゲートドライバ 1 2 のシフトレジスタ回路 6 1 内のデ
ータが 1 ビットシフトし、第 5 5 図 (b) に示す状態となる。第 5 5 図
(b) に示す状態では、画素 1 6 a がプログラム電流保持状態、画素 1
25 6 b が電流プログラム状態、画素 1 6 c がリセット状態、画素 1 6 d が
プログラム保持状態となる。

以上のことから、各画素は前段に印加されたゲート信号線 1 7 a の電
圧により、次段の画素の駆動用トランジスタ 1 1 a がリセットされ、次

の水平走査期間に電圧プログラムが順次行われることがわかる。

電流駆動方式において、完全な黒表示を行う場合、画素の駆動用トランジスタ 11 にプログラムされる電流は 0 である。つまり、ソースドライバ 14 からは電流が流れない。電流が流れなければ、ソース信号線 18 に発生した寄生容量を充放電することができず、ソース信号線 18 の電位を変化させることができない。したがって、駆動用トランジスタのゲート電位も変化しないことになり、1 フレーム（フィールド）（1 F）前の電位がコンデンサ 19 に蓄積されたままとなる。たとえば、1 フレーム前が白表示で、次のフレームが完全黒表示であっても白表示が維持されることになる。この課題を解決するため、本発明では、1 水平走査期間（1 H）の最初に黒レベルの電圧をソース信号線 18 に書き込んでから、ソース信号線 18 にプログラムする電流を出力する。たとえば、映像データが黒レベルに近い 0 階調目～7 階調目の場合、1 水平期間のはじめの一定期間だけ黒レベルに相当する電圧が書き込まれて、電流駆動の負担が減り、書き込み不足を補うことが可能となる。ここで例えば 64 階調表示の場合であれば、完全な黒表示を 0 階調目とし、完全な白表示を 63 階調目とする。

なお、プリチャージを行う階調は、黒表示領域に限定すべきである。つまり、書き込み画像データを判定し、黒領域階調（低輝度、つまり、電流駆動方式では、書き込み電流が小さい（微小））を選択しプリチャージする（選択プリチャージ）。全階調データに対し、プリチャージすると、今度は、白表示領域で、輝度の低下（目標輝度に到達しない）が発生する。また、画像に縦筋が表示される。

好ましくは、階調データの階調 0 から 1/8 の領域の階調で、選択プリチャージを行う（たとえば、64 階調の時は、0 階調目から 7 階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。さらに、好ましくは、階調データの階調 0 から 1/16 の領域の階調で、選択プリチャージを行う（たとえば、64 階調の場合、0 階

調目から 3 階調目までの画像データのと看、プリチャージを行ってから、画像データを書き込む）。

特に黒表示で、コントラストを高くするためには、階調 0 のみを検出してプリチャージする方式も有効である。これにより極めて黒表示が良好になる。問題は、画面全体が階調 1、2 の場合に画面が黒浮きして観察されることである。したがって、階調データの階調 0 から $1/8$ の領域の階調と、一定の範囲とで選択プリチャージを行う。

なお、プリチャージの電圧、階調範囲は、R、G、B で異ならせることも有効である。EL 表示素子 15 は、R、G、B で発光開始電圧、発光輝度が異なっているためである。たとえば、R は、階調データの階調 0 から $1/8$ の領域の階調で、選択プリチャージを行う（たとえば、64 階調の時は、0 階調目から 7 階調目までの画像データのと看、プリチャージを行ってから、画像データを書き込む）。他の色（G、B）は、階調データの階調 0 から $1/16$ の領域の階調で、選択プリチャージを行う（たとえば、64 階調の時は、0 階調目から 3 階調目までの画像データのと看、プリチャージを行ってから、画像データを書き込む）などの制御を行う。また、プリチャージ電圧も、R が 7（V）であれば、他の色（G、B）は、7.5（V）の電圧をソース信号線 18 に書き込むようにする。最適なプリチャージ電圧は、EL 表示パネルの製造ロットで異なることが多い。したがって、プリチャージ電圧は、外部ポリウムなどで調整できるように構成しておくことが好ましい。この調整回路も電子ポリウム回路を用いることにより容易に実現できる。

つぎに、本発明の EL 表示パネルを備える電子機器についての実施例について説明をする。第 57 図は情報端末装置の一例としての携帯型電話機の平面図である。この携帯型電話機は、受話器とスピーカーとを備えている。また、第 57 図に示すとおり、筐体 573 にアンテナ 571、テンキー 572 などが取り付けられている。572a ~ 572e が表示色切換キーあるいは電源オンオフ、フレームレート切り替えキーなどで

ある。

表示色切 換キーが1度押されると表示色は8色モードに、つづいて同一のキーが押されると表示色は256色モード、さらに同一のキーが押されると表示色は4096色モードとなるようにシーケンスを組んでもよい。キーは押下されるごとに表示色モードが変化するトグルスイッチとする。なお、別途表示色に対応する変更キーを設けてもよい。この場合、表示色切 換キーは3つ（以上）となる。

表示色切 換キーはプッシュスイッチの他、スライドスイッチなどの他のメカニカルなスイッチでもよく、また、音声認識などにより切り換えるものでもよい。たとえば、4096色を受話器に音声入力すること、たとえば、「高品位表示」、「256色モード」あるいは「低表示色モード」と受話器に音声入力することにより表示パネルの表示画面50に表示される表示色が変化するよう構成する。これは現行の音声認識技術を採用することにより容易に実現することができる。

また、表示色の切り替えは電氣的に切り換えるスイッチでもよく、表示パネルの表示部21に表示させたメニューを触れることにより選択するタッチパネルでも良い。また、スイッチを押さえる回数で切り換える、あるいはクリックボールのように回転あるいは方向により切り換えるよう構成してもよい。

また、上述した表示色切 換キーの代わりに、フレームレートを切り換えるキーなどとしてもよい。また、動画と静止画とを切り換えるキーなどとしてもよい。また、動画と静止画のフレームレートなどの複数の要件を同時に切り換えるようにしてもよい。また、押され続けると徐々に（連続的に）フレームレートが変化するよう構成されていてもよい。

この場合は発振器を構成するコンデンサC、抵抗Rのうち、抵抗Rを可変抵抗にしたり、電子ポリウムにしたりすることにより実現できる。また、コンデンサCはトリマコンデンサとすることにより実現できる。また、半導体チップに複数のコンデンサを形成しておき、1つ以上のコン

デンサを選択し、これらを回路的に並列に接続することにより実現してもよい。

5 なお、表示色などによりフレームレートを切り換えるという技術的思想は携帯型電話機に限定されるものではなく、パームトップコンピュータや、ノートパソコン、デスクトップパソコン、携帯型時計など表示画面を有する機器に広く適用することができる。また、有機EL表示パネルに限定されるものではなく、液晶表示パネル、トランジスタパネル、PLZTパネル、CRTなどにも適用することができる。

10 第57図では図示していないが、本発明の携帯型電話機は筐体573の裏側にCCDカメラを備えている。このCCDカメラで撮影し画像は即時に表示パネルの表示画面50に表示できる。CCDカメラで撮影したデータは、表示画面50に表示することができる。CCDカメラの画像データは24ビット（1670万色）、18ビット（26万色）、16ビット（6.5万色）、12ビット（4096色）、8ビット（25
15 6色）をキー572入力で切り替えることができる。

表示データが12ビット以上の時は、誤差拡散処理を行って表示する。つまり、CCDカメラからの画像データが内蔵メモリの容量以上の時は、誤差拡散処理などを実施し、表示色数を内蔵画像メモリの容量以下となるように画像処理を行う。

20 今、ソースドライバ14には4096色（RGB各4ビット）で1画面の内蔵RAMを具備しているとして説明する。モジュール外部から送られてくる画像データが4096色の場合は、直接ソースドライバ14の内蔵画像RAMに格納され、この内蔵画像RAMから画像データを読み出し、表示画面50に画像を表示する。

25 画像データが26万色（G：6ビット、R、B：5ビットの計16ビット）の場合は、誤差拡散コントローラの演算メモリにいったん格納され、かつ同時に誤差拡散あるいはディザ処理を行う演算回路で誤差拡散あるいはディザ処理が行われる。この誤差拡散処理などにより16ビッ

トの画像データは内蔵画像RAMのビット数である12ビットに変換されてソースドライバ14に転送される。ソースドライバ14はRGB各4ビット（4096色）の画像データを出力し、表示画面50に画像を表示する。

- 5 さらに、本発明のEL表示パネルあるいはEL表示装置もしくは駆動方法を採用した実施の形態について、図面を参照しながら説明する。

第58図は本発明の実施の形態におけるビューファインダの断面図である。但し、説明を容易にするため模式的に描いている。また一部拡大あるいは縮小した箇所が存在し、また、省略した箇所もある。たとえば、第58図において、接眼カバーを省略している。以上のことは他の図面においても該当する。

ボデー573の裏面は暗色あるいは黒色にされている。これは、EL表示パネル（表示装置）574から出射した迷光がボデー573の内面で乱反射し表示コントラストの低下を防止するためである。また、表示

15 パネルの光出射側には位相板（ $\lambda/4$ 板など）108、偏光板109などが配置されている。このことは第10図、第11図でも説明している。

接眼リング581には拡大レンズ582が取り付けられている。観察者は接眼リング581をボデー573内での挿入位置を可変して、表示パネル574の表示画像50にピントがあうように調整する。

また、必要に応じて表示パネル574の光出射側に凸レンズ583を配置すれば、拡大レンズ582に入射する主光線を収束させることができる。そのため、拡大レンズ582のレンズ径を小さくすることができ、ビューファインダを小型化することができる。

第59図はデジタルビデオカメラの斜視図である。ビデオカメラは撮影（撮像）レンズ部592とデジタルビデオカメラ本体573と具備し、

25 撮影レンズ部592とビューファインダ部573とは背中合わせとなっている。また、ビューファインダ（第58図も参照）573には接眼カバーが取り付けられている。観察者（ユーザー）はこの接眼カバー部

から表示パネル 574 の表示部 50 を観察する。

また、本発明の EL 表示パネルである表示部 50 は表示モニターとしても使用されている。表示部 50 は支点 591 で角度を自由に調整できる。表示部 50 を使用しない時は、格納部 593 に格納される。

- 5 スイッチ 594 は以下の機能を実施する切り替えあるいは制御スイッチである。スイッチ 594 は表示モード切り替えスイッチである。スイッチ 594 は、携帯型電話機などにも取り付けることが好ましい。この表示モード切り替えスイッチ 594 について説明をする。

- 10 本発明の駆動方法の 1 つに N 倍の電流を EL 素子 15 に流し、 $1/F$ の $1/M$ の期間だけ点灯させる方法がある。この点灯させる期間を変化させることにより、明るさをデジタル的に変更することができる。たとえば、 $N=4$ として、EL 素子 15 には 4 倍の電流を流す。点灯期間を $1/M$ とし、 $M=1, 2, 3, 4$ と切り替えれば、1 倍から 4 倍までの明るさ切り替えが可能となる。なお、 $M=1, 1.5, 2, 3, 4, 5,$
15 6 などと変更できるように構成してもよい。

- 20 以上の切り替え動作は、携帯型電話機の電源をオンしたときに、表示画面 50 を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度を低下させる構成に用いる。また、ユーザーが希望する明るさに設定する機能としても用いることができる。たとえば、
25 屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面が全く見えなくなるからである。しかし、高い輝度で表示し続けると EL 素子 15 は急激に劣化する。そのため、非常に明るくする場合は、短時間で通常の輝度に復帰させるように構成しておく。さらに、高輝度で表示させる場合は、ユーザーがボタンを押すことにより表示輝度を高く
30 できるように構成しておく。

したがって、ユーザーがボタン 594 で切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、表示

輝度を50%、60%、80%などとユーザーなどが設定できるように構成しておくことが好ましい。

5 なお、表示画面50はガウス分布表示にすることが好ましい。ガウス分布表示とは、中央部の輝度が明るく、周辺部を比較的暗くする方式である。視覚的には、中央部が明るければ周辺部が暗くとも明るいと感じられる。主観評価によれば、周辺部が中央部に比較して70%の輝度を保っておれば、視覚的に遜色ない。さらに低減させて、50%輝度としてもほぼ、問題がない。本発明の自己発光型表示パネルでは、以前に説明したN倍パルス駆動（N倍の電流をEL素子15に流し、1Fの1/Mの期間だけ点灯させる方法）を用いて画面の上から下方向に、ガウス分布を発生させている。

10 具体的には、画面の上部と下部とではMの値を大きくし、中央部でMの値を小さくする。これは、ゲートドライバ12のシフトレジスタの動作速度を変調することなどにより実現する。画面の左右の明るさ変調は、15 テーブルのデータと映像データとを乗算することにより発生させている。以上の動作により、周辺輝度（画角0.9）を50%にしたとき、輝度が100%の場合と比較して約20%の低消費電力化が可能である。周辺輝度（画角0.9）を70%にした時、輝度が100%の場合と比較して約15%の低消費電力化が可能である。

20 なお、ガウス分布表示をオンオフできるように切り替えスイッチなどを設けることが好ましい。たとえば、屋外などで、ガウス表示させると画面周辺部が全く見えなくなるからである。したがって、ユーザーがボタンで切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成し25 ておくことが好ましい。また、周辺輝度を50%、60%、80%とユーザーなどが設定できるように構成しておくことが好ましい。

液晶表示パネルではバックライトで固定のガウス分布を発生させている。したがって、ガウス分布のオンオフを行うことはできない。ガウ

ス分布をオンオフできるのは自己発光型の表示デバイス特有の効果である。

また、フレームレートが所定の場合、室内の蛍光灯などの点灯状態と干渉してフリッカが発生することがある。例えば、蛍光灯が60Hzの交流で点灯している場合、EL表示素子15がフレームレート60Hzで動作していると、微妙な干渉が発生し、画面がゆっくりと点滅しているように感じられることがある。これを避けるためにはフレームレートを変更すればよい。本発明はフレームレートの変更機能を付加している。また、N倍パルス駆動（N倍の電流をEL素子15に流し、1Fの1/Mの期間だけ点灯させる方法）において、NまたはMの値を変更できるように構成している。

以上の機能をスイッチ594で実現できるようにする。スイッチ594は表示画面50のメニューにしたがって、複数回おさえることにより、以上に説明した機能を切り替え実現する。

なお、以上の事項は、携帯型電話機だけに限定されるものではなく、テレビ、モニターなどに用いることができることはいうまでもない。また、どのような表示状態にあるかをユーザーがすぐに認識できるように、表示画面にアイコン表示をしておくことが好ましい。以上の事項は以下の事項に対しても同様である。

本実施の形態のEL表示装置などはデジタルビデオカメラだけでなく、第60図に示すようなデジタルスチルカメラにも適用することができる。表示装置はカメラ本体601に付属されたモニター50として用いる。カメラ本体601にはシャッタ603の他、スイッチ594が取り付けられている。

以上は表示パネルの表示領域が比較的小型の場合であるが、30インチ以上のような大型になると表示画面50がたわみやすい。その対策のため、本発明では第61図に示すように表示パネルに外枠611をつけ、外枠611をつりさげることができるように固定部材614を備えて

いる。この 固定部材 6 1 4 を用いて、壁などに取り付ける。

しかし、表示パネルの画面サイズが大きくなると重量も大きくなる。そのため、表示パネルの下側に脚取り付け部 6 1 3 を配置し、複数の脚 6 1 2 で表示パネルの重量を保持できるようにしている。

- 5 脚 6 1 2 は矢符 A に示すように左右に移動でき、また、脚 6 1 2 は矢符 B に示すように伸縮できるように構成されている。そのため、狭い場所であっても表示装置を容易に設置することができる。

- 10 第 6 1 図 に示すテレビでは、画面の表面を保護フィルム（保護板でもよい）で被覆している。これは、表示パネルの表面に物体があたって破損することを防止することが 1 つの目的である。保護フィルムの表面には A I R コートが形成されており、また、表面をエンボス加工することにより表示パネルに外の状況（外光）が映り込むことを抑制している。

- 15 また、保護フィルムと表示パネルとの間にビーズなどを散布することにより、一定の空間が配置されるように構成されている。さらに、保護フィルムの裏面に微細な凸部を形成し、この凸部で表示パネルと保護フィルムとの間に空間を保持させる。このように空間を保持することにより保護フィルムからの衝撃が表示パネルに伝達することを抑制する。

- 20 また、保護フィルムと表示パネルとの間にアルコール、エチレングリコールなど液体あるいはゲル状のアクリル樹脂あるいはエポキシなどの固体樹脂などの光結合剤を配置または注入することも効果がある。界面反射を防止できるとともに、前記光結合剤が緩衝材として機能するからである。

- 25 保護フィルムとしては、ポリカーボネートフィルム（板）、ポリプロピレンフィルム（板）、アクリルフィルム（板）、ポリエステルフィルム（板）、P V A フィルム（板）などが例示される。その他エンジニアリング樹脂フィルム（A B S など）などを用いることができることは言うまでもない。また、強化ガラスなど無機材料からなるものでもよい。保護フィルムを配置するかわりに、表示パネルの表面に対して、エポキ

シ樹脂、フェノール樹脂、アクリル樹脂などを0.5mm以上2.0mm以下の厚みでコーティングすることでも同様の効果が得られる。また、これらの樹脂表面にエンボス加工などを行うことも有効である。

また、保護フィルムあるいはコーティング材料の表面をフッ素コートすることも効果がある。表面についた汚れを洗剤などで容易にふき落とすことが可能となるからである。また、保護フィルムを厚く形成し、フロントライトと兼用するようにしてもよい。

本発明の実施例における表示パネルは、3辺フリーの構成と組み合わせることも有効であることはいうまでもない。特に3辺フリーの構成は画素がアモルファスシリコン技術を用いて作製されているときに有効である。また、アモルファスシリコン技術で形成されたパネルでは、トランジスタ素子の特性バラツキのプロセス制御が不可能であるため、本発明のN倍パルス駆動、リセット駆動、ダミー画素駆動などを実施することが好ましい。したがって、本発明におけるトランジスタなどは、ポリシリコン技術によるものに限定するものではなく、アモルファスシリコンによるものであってもよい。

なお、本発明のN倍パルス駆動（第13図、第16図、第19図、第20図、第22図、第24図、第30図などを参照）などは、低温ポリシリコン技術でトランジスタ11を形成して表示パネルと同様、アモルファスシリコン技術でトランジスタ11を形成した表示パネルに有効である。アモルファスシリコンのトランジスタ11では、隣接したトランジスタの特性がほぼ一致しているからである。したがって、加算した電流で駆動しても個々のトランジスタの駆動電流はほぼ目標値となっている（特に、第22図、第24図、第30図のN倍パルス駆動はアモルファスシリコンで形成したトランジスタの画素構成において有効である）。

本発明の実施例で説明した技術的思想はデジタルビデオカメラ、プロジェクター、立体テレビ、プロジェクションテレビなどに適用できる。

また、ビューファインダ、携帯型電話機のモニター、PHS、携帯情報端末およびそのモニター、デジタルスチルカメラおよびそのモニターにも適用できる。

- 5 また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートブック型およびデスクトップ型パーソナルコンピュータにも適用できる。また、現金自動引き出し機のモニター、公衆電話、テレビ電話、腕時計およびその表示装置にも適用できる。
- 10 さらに、家庭電器機器の表示モニター、ポケットゲーム機器およびそのモニター、表示パネル用バックライトあるいは家庭用もしくは業務用の照明装置などにも適用あるいは応用展開できることは言うまでもない。照明装置は色温度を可変にできるように構成することが好ましい。これは、RGBの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更できる。
- 15 また、広告あるいはポスターなどの表示装置、RGBの信号器、警報表示灯などにも応用できる。

- また、スキャナの光源としても有機EL表示パネルは有効である。RGBのドットマトリックスを光源として、対象物に光を照射し、画像を読み取る。もちろん、単色でもよいことは言うまでもない。また、アクティブマトリックスに限定するものではなく、単純マトリックスでもよい。
- 20 い。色温度を調整できるようにすれば画像読み取り精度も向上する。

- また、液晶表示装置のバックライトにも有機EL表示装置は有効である。EL表示装置（バックライト）のRGBの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更でき、また、明るさの調整も容易である。その上、
- 25 面光源であるから、画面の中央部を明るく、周辺部を暗くするガウス分布を容易に構成できる。また、R、G、B光を交互に走査する、フィールドシーケンシャル方式の液晶表示パネルのバックライトとしても有効である。また、バックライトを点滅しても黒挿入することにより動画

表示用などの液晶表示パネルのバックライトとしても用いることができる。

5 なお、図 1 などの図面では、本発明における EL 素子 15 を OLED として捉えてダイオードの記号を用いて示している。しかしながら、本発明における EL 素子 15 は OLED に限られるわけではなく、素子 15 に流れる電流量によって輝度が制御されるものであればよい。そのような素子としては無機 EL 素子が例示される。その他、半導体で構成される白色発光ダイオードが例示される。また、一般的な発光ダイオードが例示される。その他、発光トランジスタでもよい。また、素子 15 は
10 必ずしも整流性が要求されるものではない。双方向性ダイオードであってもよい。

上記説明から、当業者にとっては、本発明の多くの改良や他の実施形態が明らかである。従って、上記説明は、例示としてのみ解釈されるべきであり、本発明を実行する最良の態様を当業者に教示する目的で提供
15 されたものである。本発明の精神を逸脱することなく、その構造及び／又は機能の詳細を実質的に変更できる。

〔産業上の利用の可能性〕

本発明に係る EL 表示装置は、薄型のテレビ、デジタルビデオカメラ、デジタルスチルカメラ、携帯型電話機などの表示部として有用である。

請 求 の 範 囲

- 5 1. 互いに交差するように配列された複数のゲート信号線および複数のソース信号線と、
マトリクス状に配置され、供給される電流に応じた輝度で発光するE
L素子と、
前記ゲート信号線に対してゲート信号を出力するゲートドライバと、
10 前記ソース信号線に対して外部から入力される画像信号に応じた電流よりも大きい電流を出力するソースドライバと、
前記E L素子のそれぞれに対応して設けられ、前記ソースドライバから出力された電流を前記E L素子に対して出力するトランジスタと、
前記ゲート信号線を介して供給されるゲート信号に応じて前記E L素
15 子と前記トランジスタとの間の導通／非導通を切り換えることにより、前記ソースドライバから出力された電流を前記E L素子に供給し得る第1スイッチング素子とを備え、
前記ゲートドライバは、前記E L素子と前記トランジスタとの間が1
フレーム期間において少なくとも1回は導通および非導通となるように
20 前記ゲート信号線に対してゲート信号を出力するE L表示装置。
2. 前記ゲートドライバは、前記E L素子と前記トランジスタとの間
が1フレーム期間において周期的に複数回導通および非導通となるよう
に前記ゲート信号線にゲート信号を出力する請求の範囲第1項に記載の
E L表示装置。
25 3. 前記ゲート信号線を介して供給されるゲート信号に応じて前記ソ
ースドライバと前記トランジスタとの間の導通／非導通を切り換えるこ
とにより、前記ソースドライバから出力された電流を前記トランジスタ
に供給し得る第2スイッチング素子を更に備え、

前記ゲートドライバは、前記EL素子と前記トランジスタとの間を非導通とした状態で前記ソースドライバと前記トランジスタとの間を導通として前記ソースドライバから出力される電流を前記トランジスタにプログラムした後、前記EL素子と前記トランジスタとの間が1フレーム期間において少なくとも1回は導通および非導通となるように前記ゲート信号線に対してゲート信号を出力する請求の範囲第1項に記載のEL表示装置。

4. 前記ゲートドライバと前記トランジスタとが同一プロセスで形成されている請求の範囲第1項に記載のEL表示装置。

10 5. 前記ソースドライバは、半導体チップから形成されている請求の範囲第1項に記載のEL表示装置。

6. 互いに交差するように配列された複数のゲート信号線および複数のソース信号線と、

15 マトリクス状に配置され、供給される電流に応じた輝度で発光するEL素子と、

前記ゲート信号線に対してゲート信号を出力するゲートドライバと、

前記ソース信号線に対して外部から入力される画像信号に応じた電流よりも大きい電流を出力するソースドライバと、

20 前記EL素子のそれぞれに対応して設けられ、前記ゲート信号線を介して供給されるゲート信号に応じて前記EL素子と前記ソース信号線との間の導通／非導通を切り換えることにより、前記ソース信号線を介して供給される電流を前記EL素子に供給し得る第1スイッチング素子と、

前記EL素子が形成された領域とは異なる領域に設けられ、画像表示に実質的に利用されない複数のダミー素子と、

25 前記ダミー素子のそれぞれに対応して設けられ、前記ゲート信号線を介して供給されるゲート信号に応じて前記ダミー素子と前記ソース信号線との間の導通／非導通を切り換えることにより、前記ソース信号線を介して供給される電流を前記ダミー素子に供給し得る第2スイッチング

素子とを 備え、

前記ゲートドライバが前記EL素子に係るゲート信号線および前記ダミー素子に係るゲート信号線に対して略同一のタイミングでゲート信号を出力することによって、前記ソース信号線を介して供給される電流を
5 前記EL素子および前記ダミー素子のそれぞれに分割して供給するように構成されているEL表示装置。

7. 前記ダミー素子に係るゲート信号線は、第1行または最終行の前記EL素子に係るゲート信号線と隣り合うようにして形成されており、

前記ゲートドライバが隣り合う複数行のゲート信号線に対して略同一
10 のタイミングで順次的にゲート信号を出力することによって、複数の前記EL素子のそれぞれまたは前記EL素子および前記ダミー素子のそれぞれに前記ソース信号線を介して供給される電流を分割して供給するように構成されている請求の範囲第6項に記載のEL表示装置。

8. 供給される電流に応じた輝度で発光するEL素子と、ソース信号
15 線を介して前記EL素子に電流を出力するソースドライバとを備えるEL表示装置の駆動方法において、

外部から入力された画像信号に応じた電流よりも大きい電流を前記ソースドライバが前記ソース信号線に出力するステップと、

1 フレーム期間の一部の期間にわたり前記ソース信号線に出力された
20 電流を前記EL素子に供給することにより、前記一部の期間において前記ソース信号線に出力された電流に応じた輝度で前記EL素子を発光させるステップと

を含むEL表示装置の駆動方法。

9. 前記一部の期間は、複数の期間に分割されている請求の範囲第8
25 項に記載のEL表示装置の駆動方法。

10. 請求の範囲第1項に記載のEL表示装置を備え、前記EL表示装置に対して画像信号を出力するように構成されている電子機器。

11. マトリックス状に配置されたEL素子と、

前記 E L 素子に流す電流を供給する駆動用トランジスタと、

前記 E L 素子と前記駆動用トランジスタとの間に配置された第 1 のスイッチング素子と、

5 前記第 1 のスイッチング素子をオンオフ制御するゲートドライバを具備し、

前記ゲートドライバは、前記第 1 のスイッチング素子を、1 フレーム期間において、少なくとも 1 回以上オフ状態に制御することを特徴とする E L 表示装置。

1 2. 前記第 1 のスイッチング素子は、1 フレーム期間において、周期的にかつ複数回オフ状態に制御されることを特徴とする請求の範囲第 1 1 項に記載の E L 表示装置。

1 3. プログラム電流を出力するソースドライバ回路と、
マトリックス状に配置された E L 素子と、

15 前記 E L 素子に流す電流を供給する駆動用トランジスタと、
前記 E L 素子と前記駆動用トランジスタとの間に配置された第 1 のスイッチング素子と、

前記駆動用トランジスタに前記プログラム電流を伝達する経路を構成する第 2 のスイッチング素子と、

20 前記第 1 および第 2 のスイッチング素子をオンオフ制御するゲートドライバ回路を具備し、

前記ゲートドライバ回路は、前記第 1 のスイッチング素子を、1 フレーム期間において、少なくとも 1 回以上オン状態にし、かつ 1 回以上オフ状態に制御することを特徴とする E L 表示装置。

1 4. 前記ゲートドライバは、前記駆動用トランジスタと同一プロセスで形成され、前記ソースドライバは、半導体チップで形成されていることを特徴とする請求の範囲第 1 3 項に記載の E L 表示装置。

1 5. ゲート信号線と、
ソース信号線と、

プログラム電流を出力するソースドライバと、

ゲートドライバと、

マトリックス状に配置されたEL素子と、

前記EL素子に流す電流を供給する駆動用トランジスタと、

- 5 前記EL素子と前記駆動用トランジスタとの間に配置された第1のトランジスタと、

前記駆動用トランジスタに前記プログラム電流を伝達する経路を構成する第2のトランジスタとを具備し、

前記ソースドライバは、前記ソース信号線にプログラム電流を出力し、

- 10 前記ゲートドライバは、ゲート信号線に接続され、

前記第2のトランジスタのゲート端子は、前記ゲート信号線に接続され、

前記第2のトランジスタのソース端子は、前記ソース信号線に接続され、

- 15 前記第2のトランジスタのドレイン端子は、前記駆動用トランジスタのドレイン端子と接続され、

前記ゲートドライバは、複数のゲート信号線を選択して、前記プログラム電流を複数の画素の前記駆動用トランジスタに供給し、

- 20 前記ゲートドライバは、前記第1のトランジスタを、1フレーム期間において、少なくとも1回以上オン状態にし、かつ1回以上オフ状態に制御することを特徴とするEL表示装置。

16. 前記ゲートドライバは、前記駆動用トランジスタと同一プロセスで形成され、前記ソースドライバは、半導体チップで形成されていることを特徴とする請求の範囲第15項に記載のEL表示装置。

- 25 17. I (I は2以上の整数)画素行、 J (J は2以上の整数)画素列からなる表示領域を有し、

前記表示領域のソース信号線に映像信号を印加するソースドライバと、
前記表示領域のゲート信号線にオン電圧またはオフ電圧を印加するゲ

ートドライバと、

前記表示領域以外の箇所に形成されたダミー画素行とを具備し、

前記表示領域にはEL素子がマトリックス状に形成され、前記ソースドライバからの映像信号に基づいて発光し、

5 前記ダミー画素行は、発光しないか、もしくは発光状態が視覚的に見えないように構成されていることを特徴とするEL表示装置。

18. 前記ゲートドライバは、複数画素行を同時に選択して、前記ソースドライバからの映像信号を前記複数の画素行に印加し、

10 第1行目の画素行もしくはI画素行が選択される時には、ダミー画素行が選択されることを特徴とする請求の範囲第17項に記載のEL表示装置。

19. EL素子を所定輝度よりも高輝度で発光する電流を前記EL素子に供給し、

15 1フレームの $1/N$ (N は1より小さい)の期間、前記EL素子を発光させることを特徴とするEL表示装置の駆動方法。

20. 1フレームの $1/N$ の期間は、複数期間に分割されていることを特徴とする請求の範囲第19項に記載のEL表示装置の駆動方法。

21. 電流によりEL素子に流す電流をプログラムするEL表示装置の駆動方法であって、

20 所定輝度よりも高い輝度で前記EL素子を発光させ、 $1/N$ ($N > 1$)の表示領域を表示し、

前記 $1/N$ の表示領域を順次シフトして全画面を表示することを特徴とするEL表示装置の駆動方法。

22. 請求の範囲第11項に記載のEL表示装置と、

25 受話器と、

スピーカーとを具備することを特徴とする電子機器。

補正書の請求の範囲

[2003年2月14日(14.02.03)国際事務局受理:出願当初の請求の範囲1は補正された;他の請求の範囲は変更なし。(6頁)]

- 5 1. (補正後)互いに交差するように配列された複数のゲート信号線および複数のソース信号線と、
マトリクス状に配置され、供給される電流に応じた輝度で発光するEL素子と、
前記ゲート信号線に対してゲート信号を出力するゲートドライバと、
10 前記ソース信号線に対して外部から入力される画像信号が示す階調表示を実現するために必要となる電流のN倍(Nは2以上の整数)以上の電流を出力するソースドライバと、
前記EL素子のそれぞれに対応して設けられ、前記ソースドライバから出力された電流を前記EL素子に対して出力するトランジスタと、
15 前記ゲート信号線を介して供給されるゲート信号に応じて前記EL素子と前記トランジスタとの間の導通/非導通を切り換えることにより、前記ソースドライバから出力された電流を前記EL素子に供給し得る第1スイッチング素子とを備え、
前記ゲートドライバは、前記EL素子と前記トランジスタとの間が1
20 フレーム期間において少なくとも1回は導通および非導通となるように前記ゲート信号線に対してゲート信号を出力するEL表示装置。
2. 前記ゲートドライバは、前記EL素子と前記トランジスタとの間が1フレーム期間において周期的に複数回導通および非導通となるように前記ゲート信号線にゲート信号を出力する請求の範囲第1項に記載の
25 EL表示装置。
3. 前記ゲート信号線を介して供給されるゲート信号に応じて前記ソースドライバと前記トランジスタとの間の導通/非導通を切り換えることにより、前記ソースドライバから出力された電流を前記トランジスタ

に供給し得る第2スイッチング素子を更に備え、

前記ゲートドライバは、前記EL素子と前記トランジスタとの間を非導通とした状態で前記ソースドライバと前記トランジスタとの間を導通として前記ソースドライバから出力される電流を前記トランジスタにプログラムした後、前記EL素子と前記トランジスタとの間が1フレーム期間において少なくとも1回は導通および非導通となるように前記ゲート信号線に対してゲート信号を出力する請求の範囲第1項に記載のEL表示装置。

4. 前記ゲートドライバと前記トランジスタとが同一プロセスで形成されている請求の範囲第1項に記載のEL表示装置。

5. 前記ソースドライバは、半導体チップから形成されている請求の範囲第1項に記載のEL表示装置。

6. 互いに交差するように配列された複数のゲート信号線および複数のソース信号線と、

マトリクス状に配置され、供給される電流に応じた輝度で発光するEL素子と、

前記ゲート信号線に対してゲート信号を出力するゲートドライバと、

前記ソース信号線に対して外部から入力される画像信号に応じた電流よりも大きい電流を出力するソースドライバと、

前記EL素子のそれぞれに対応して設けられ、前記ゲート信号線を介して供給されるゲート信号に応じて前記EL素子と前記ソース信号線との間の導通／非導通を切り換えることにより、前記ソース信号線を介して供給される電流を前記EL素子に供給し得る第1スイッチング素子と、

前記EL素子が形成された領域とは異なる領域に設けられ、画像表示に実質的に利用されない複数のダミー素子と、

前記ダミー素子のそれぞれに対応して設けられ、前記ゲート信号線を介して供給されるゲート信号に応じて前記ダミー素子と前記ソース信号線との間の導通／非導通を切り換えることにより、前記ソース信号線を

介して供給される電流を前記ダミー素子に供給し得る第2スイッチング素子とを備え、

前記ゲートドライバが前記EL素子に係るゲート信号線および前記ダミー素子に係るゲート信号線に対して略同一のタイミングでゲート信号を出力することによって、前記ソース信号線を介して供給される電流を前記EL素子および前記ダミー素子のそれぞれに分割して供給するように構成されているEL表示装置。

7. 前記ダミー素子に係るゲート信号線は、第1行または最終行の前記EL素子に係るゲート信号線と隣り合うようにして形成されており、

前記ゲートドライバが隣り合う複数行のゲート信号線に対して略同一のタイミングで順次的にゲート信号を出力することによって、複数の前記EL素子のそれぞれまたは前記EL素子および前記ダミー素子のそれぞれに前記ソース信号線を介して供給される電流を分割して供給するように構成されている請求の範囲第6項に記載のEL表示装置。

8. 供給される電流に応じた輝度で発光するEL素子と、ソース信号線を介して前記EL素子に電流を出力するソースドライバとを備えるEL表示装置の駆動方法において、

外部から入力された画像信号に応じた電流よりも大きい電流を前記ソースドライバが前記ソース信号線に出力するステップと、

1フレーム期間の一部の期間にわたり前記ソース信号線に出力された電流を前記EL素子に供給することにより、前記一部の期間において前記ソース信号線に出力された電流に応じた輝度で前記EL素子を発光させるステップと

を含むEL表示装置の駆動方法。

9. 前記一部の期間は、複数の期間に分割されている請求の範囲第8項に記載のEL表示装置の駆動方法。

10. 請求の範囲第1項に記載のEL表示装置を備え、前記EL表示装置に対して画像信号を出力するように構成されている電子機器。

1 1. マトリックス状に配置されたE L素子と、

前記E L素子に流す電流を供給する駆動用トランジスタと、

前記E L素子と前記駆動用トランジスタとの間に配置された第1のスイッチング素子と、

5 前記第1のスイッチング素子をオンオフ制御するゲートドライバを具備し、

前記ゲートドライバは、前記第1のスイッチング素子を、1フレーム期間において、少なくとも1回以上オフ状態に制御することを特徴とするE L表示装置。

10 1 2. 前記第1のスイッチング素子は、1フレーム期間において、周期的にかつ複数回オフ状態に制御されることを特徴とする請求の範囲第1 1項に記載のE L表示装置。

1 3. プログラム電流を出力するソースドライバ回路と、

マトリックス状に配置されたE L素子と、

15 前記E L素子に流す電流を供給する駆動用トランジスタと、

前記E L素子と前記駆動用トランジスタとの間に配置された第1のスイッチング素子と、

前記駆動用トランジスタに前記プログラム電流を伝達する経路を構成する第2のスイッチング素子と、

20 前記第1および第2のスイッチング素子をオンオフ制御するゲートドライバ回路を具備し、

前記ゲートドライバ回路は、前記第1のスイッチング素子を、1フレーム期間において、少なくとも1回以上オン状態にし、かつ1回以上オフ状態に制御することを特徴とするE L表示装置。

25 1 4. 前記ゲートドライバは、前記駆動用トランジスタと同一プロセスで形成され、前記ソースドライバは、半導体チップで形成されていることを特徴とする請求の範囲第1 3項に記載のE L表示装置。

ゲート信号線と、

ソース信号線と、

プログラム電流を出力するソースドライバと、

ゲートドライバと、

マトリックス状に配置されたEL素子と、

5 前記EL素子に流す電流を供給する駆動用トランジスタと、

前記EL素子と前記駆動用トランジスタとの間に配置された第1のトランジスタと、

前記駆動用トランジスタに前記プログラム電流を伝達する経路を構成する第2のトランジスタとを具備し、

10 前記ソースドライバは、前記ソース信号線にプログラム電流を出力し、前記ゲートドライバは、ゲート信号線に接続され、

前記第2のトランジスタのゲート端子は、前記ゲート信号線に接続され、

15 前記第2のトランジスタのソース端子は、前記ソース信号線に接続され、

前記第2のトランジスタのドレイン端子は、前記駆動用トランジスタのドレイン端子と接続され、

前記ゲートドライバは、複数のゲート信号線を選択して、前記プログラム電流を複数の画素の前記駆動用トランジスタに供給し、

20 前記ゲートドライバは、前記第1のトランジスタを、1フレーム期間において、少なくとも1回以上オン状態にし、かつ1回以上オフ状態に制御することを特徴とするEL表示装置。

16. 前記ゲートドライバは、前記駆動用トランジスタと同一プロセスで形成され、前記ソースドライバは、半導体チップで形成されていることを特徴とする請求の範囲第15項に記載のEL表示装置。

17. I (I は2以上の整数)画素行、 J (J は2以上の整数)画素列からなる表示領域を有し、

前記表示領域のソース信号線に映像信号を印加するソースドライバと、

前記表示領域のゲート信号線にオン電圧またはオフ電圧を印加するゲートドライバと、

前記表示領域以外の箇所に形成されたダミー画素行とを具備し、

5 前記表示領域にはEL素子がマトリックス状に形成され、前記ソースドライバからの映像信号に基づいて発光し、

前記ダミー画素行は、発光しないか、もしくは発光状態が視覚的に見えないように構成されていることを特徴とするEL表示装置。

18. 前記ゲートドライバは、複数画素行を同時に選択して、前記ソースドライバからの映像信号を前記複数の画素行に印加し、

10 第1行目の画素行もしくはI画素行が選択される時には、ダミー画素行が選択されることを特徴とする請求の範囲第17項に記載のEL表示装置。

19. EL素子を所定輝度よりも高輝度で発光する電流を前記EL素子に供給し、

15 1フレームの $1/N$ (N は1より小さい)の期間、前記EL素子を発光させることを特徴とするEL表示装置の駆動方法。

20. 1フレームの $1/N$ の期間は、複数期間に分割されていることを特徴とする請求の範囲第19項に記載のEL表示装置の駆動方法。

21. 電流によりEL素子に流す電流をプログラムするEL表示装置
20 の駆動方法であって、

所定輝度よりも高い輝度で前記EL素子を発光させ、 $1/N$ ($N > 1$)の表示領域を表示し、

前記 $1/N$ の表示領域を順次シフトして全画面を表示することを特徴とするEL表示装置の駆動方法。

25 22. 請求の範囲第11項に記載のEL表示装置と、

受話器と、

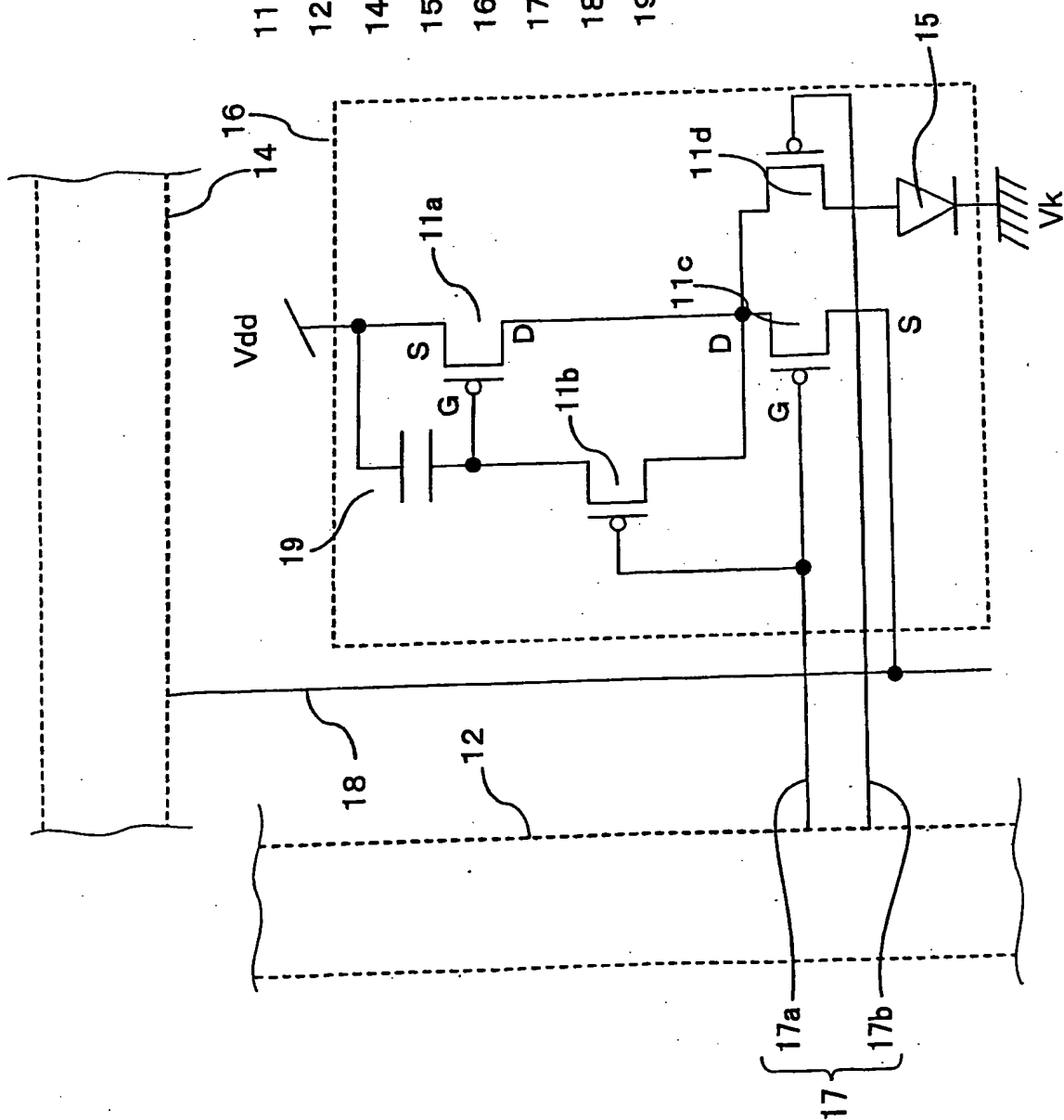
スピーカーとを具備することを特徴とする電子機器。

条約第 19 条 (1) に基づく説明書

1. 請求の範囲第 1 項では、ソースドライバが、前記ソース信号線に対して外部から入力される画像信号が示す階調表示を実現するために必要となる電流の N 倍 (N は 2 以上の整数) 以上の電流を出力するように構成されている。

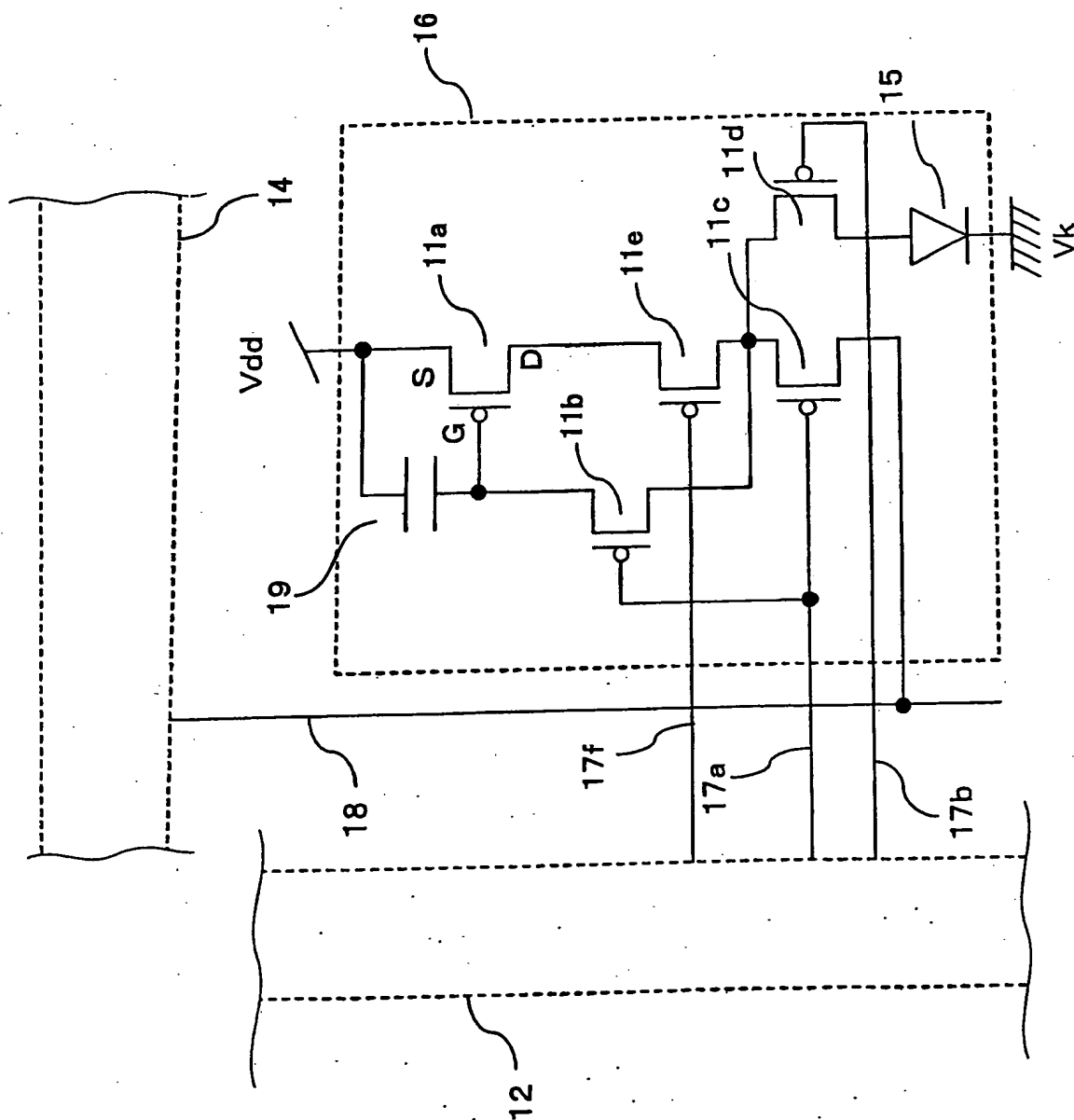
1
62

- 11 TFT
- 12 ゲートドライバ(回路)
- 14 ソースドライバ(回路)
- 15 EL(素子)
- 16 画素
- 17 ゲート信号線
- 18 ソース信号線
- 19 蓄積容量(付加容量)



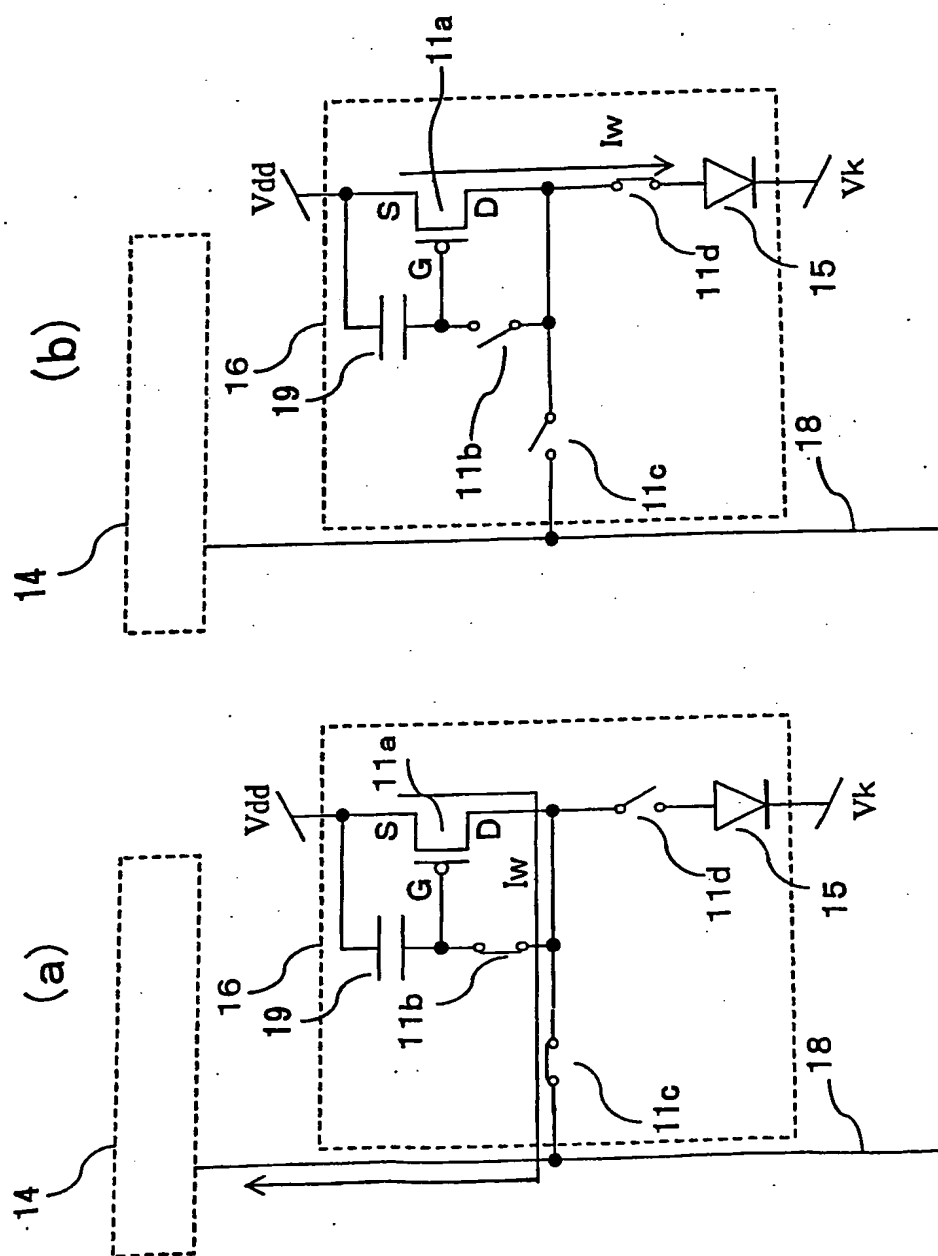
第1図

2 / 62

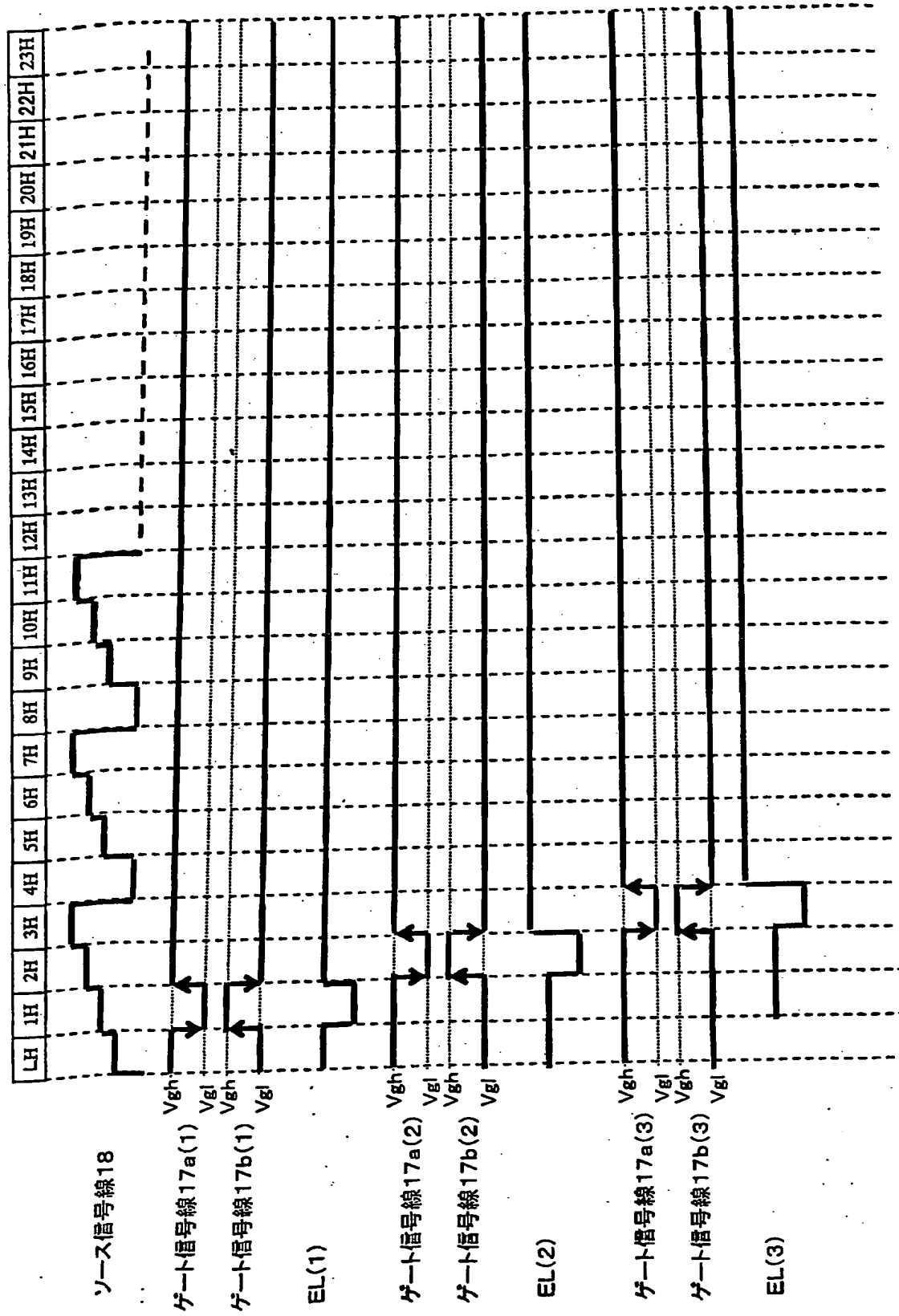


第2図

3/62

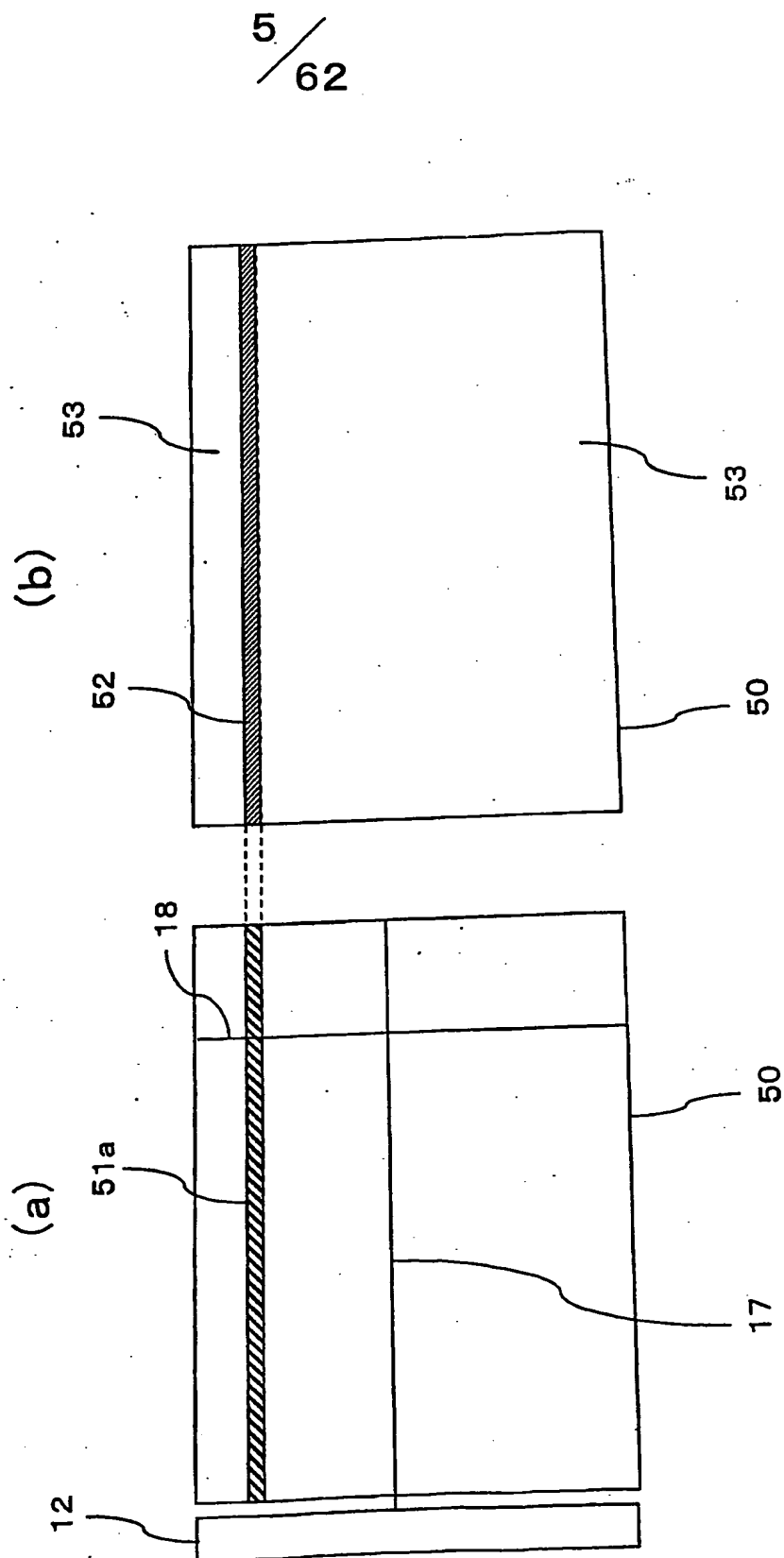


第3図



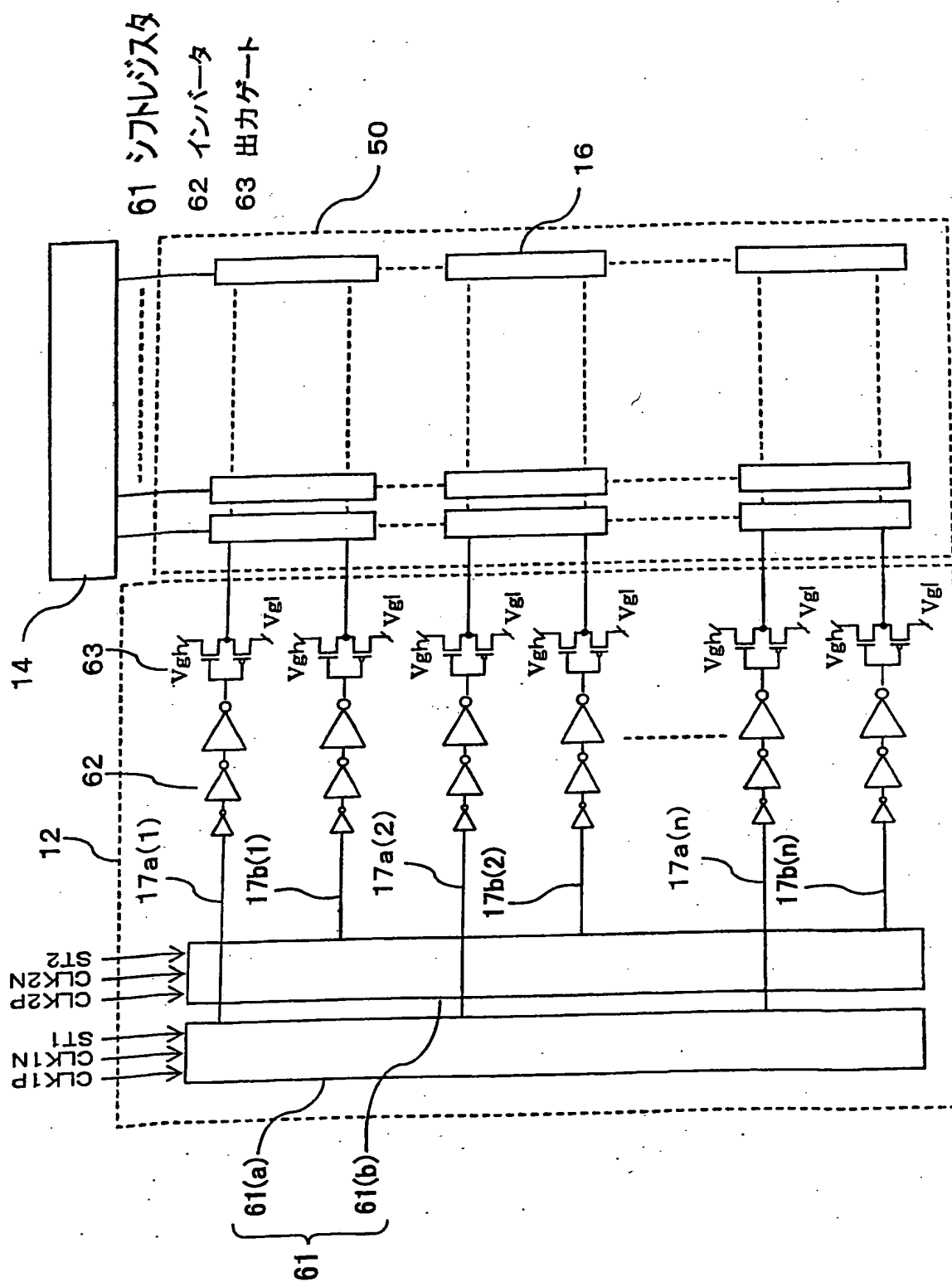
第4図

- 50 表示画面
- 51 書き込み画素(行)
- 52 非表示領域(非表示領域、非点灯領域)
- 53 表示画素(表示領域、点灯領域)



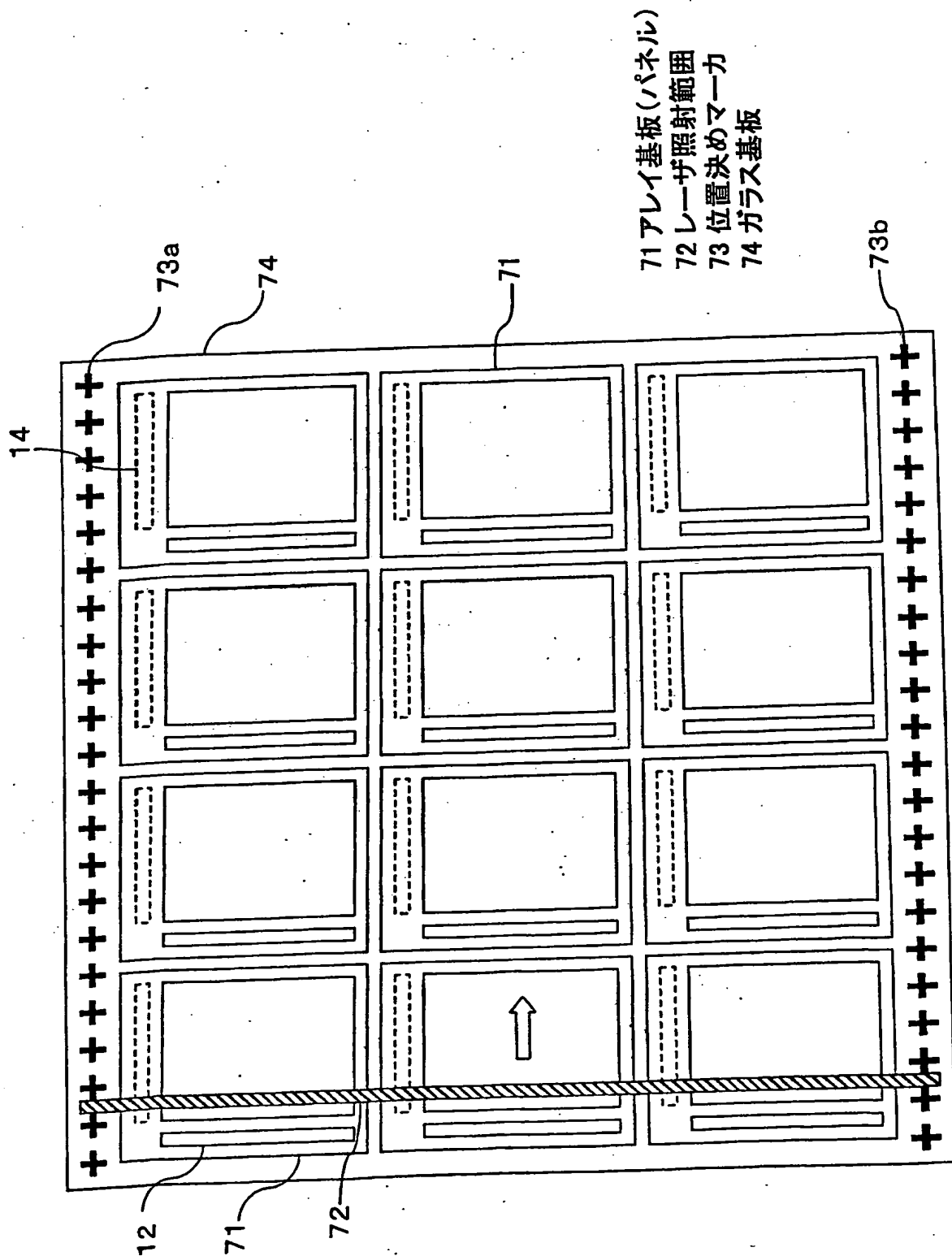
第5図

6
62

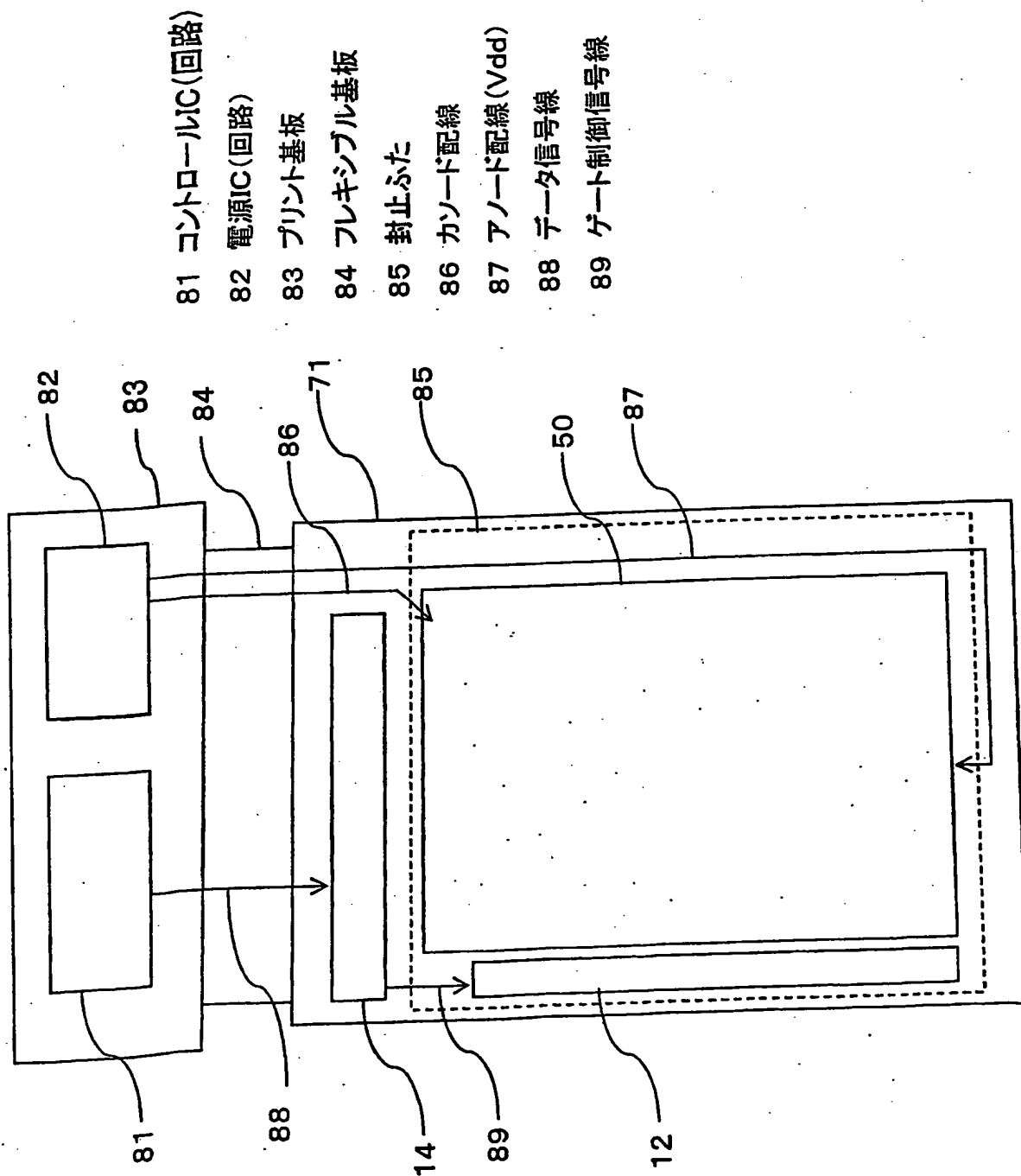


第6図

7 / 62

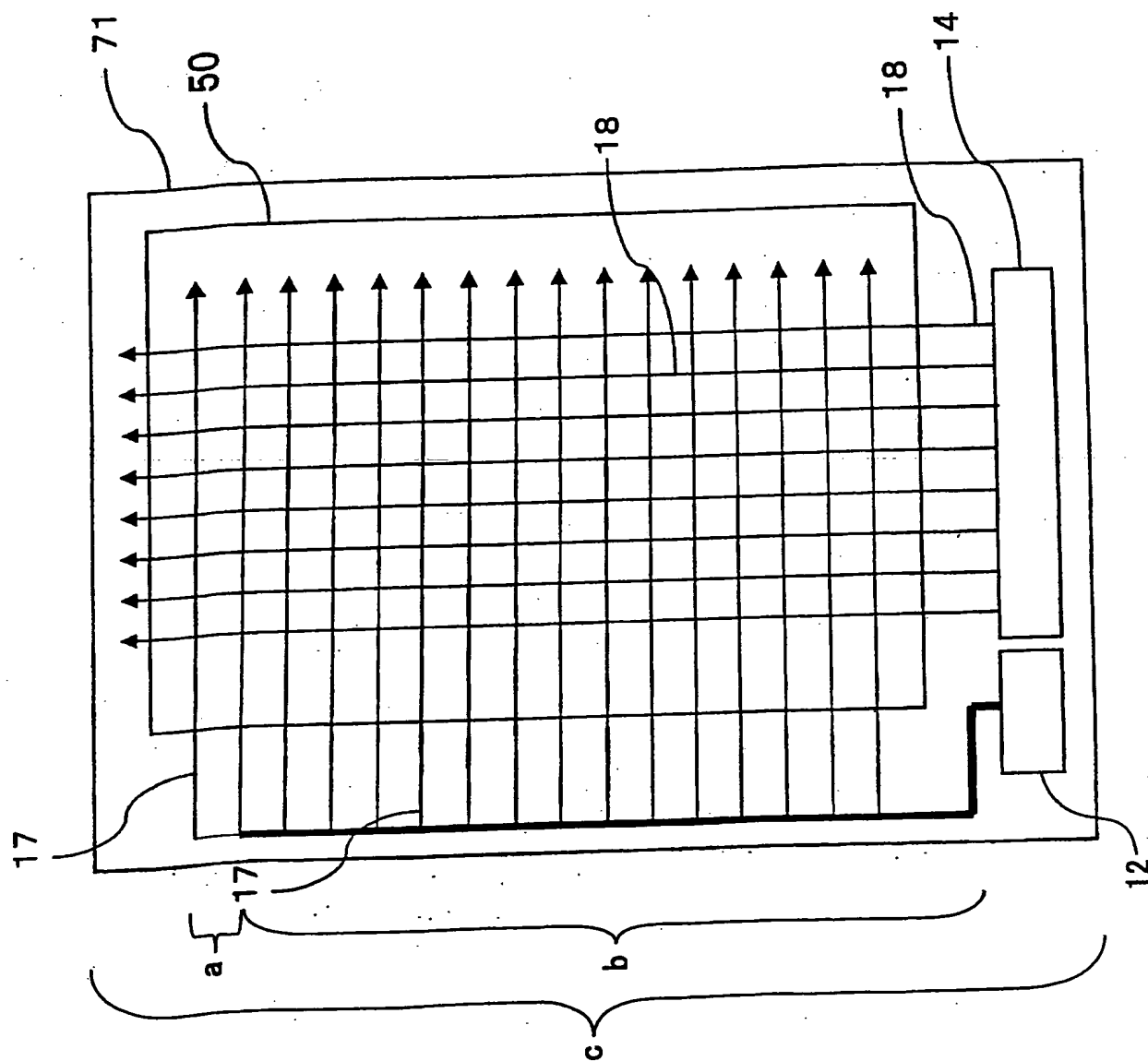


第7図

8
62

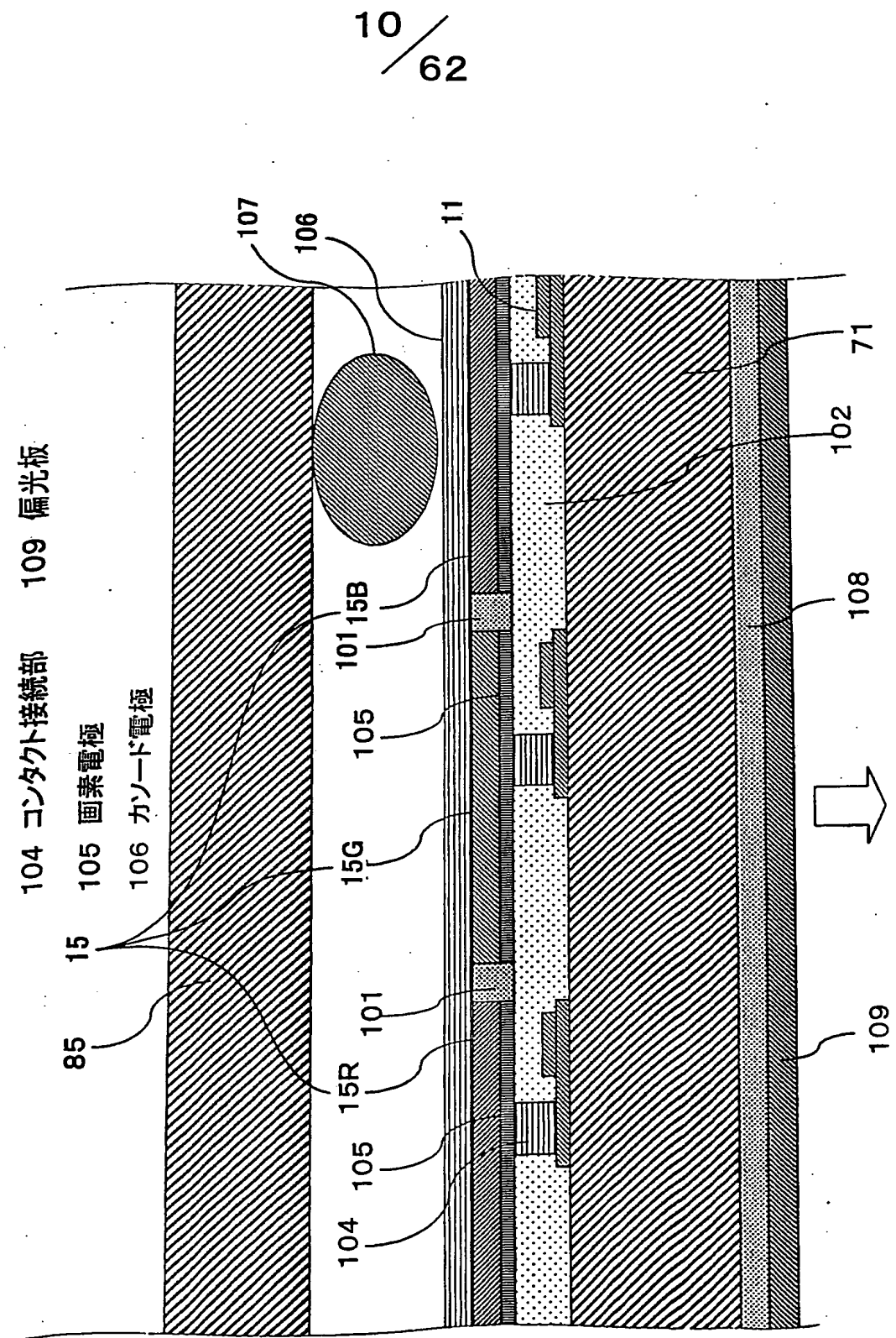
第8図

9 / 62

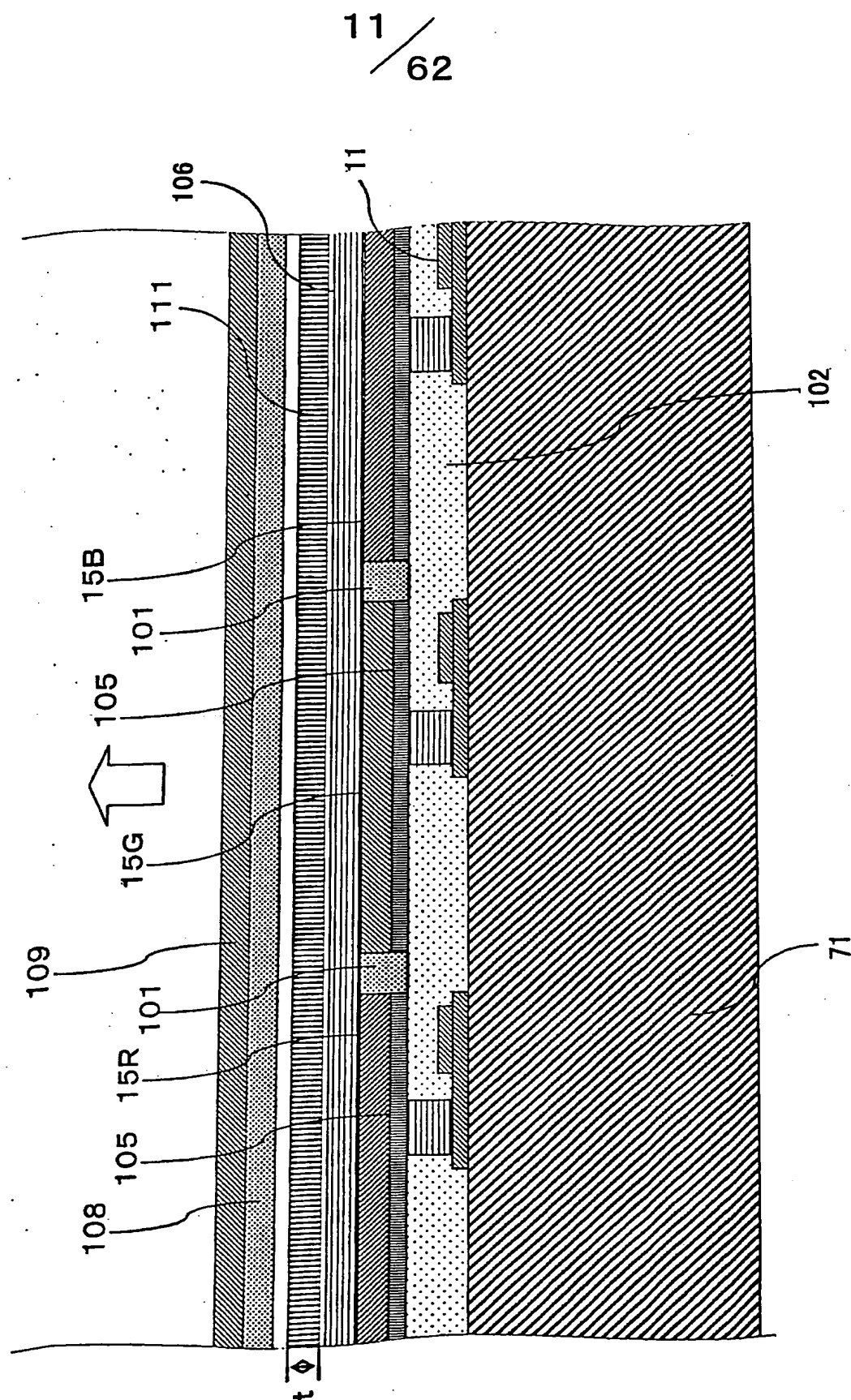


第9図

- 101 土手(リブ) 107 乾燥剤
 102 層間絶縁膜 108 λ/4板
 104 コントラクト接続部 109 偏光板
 105 画素電極
 106 カソード電極

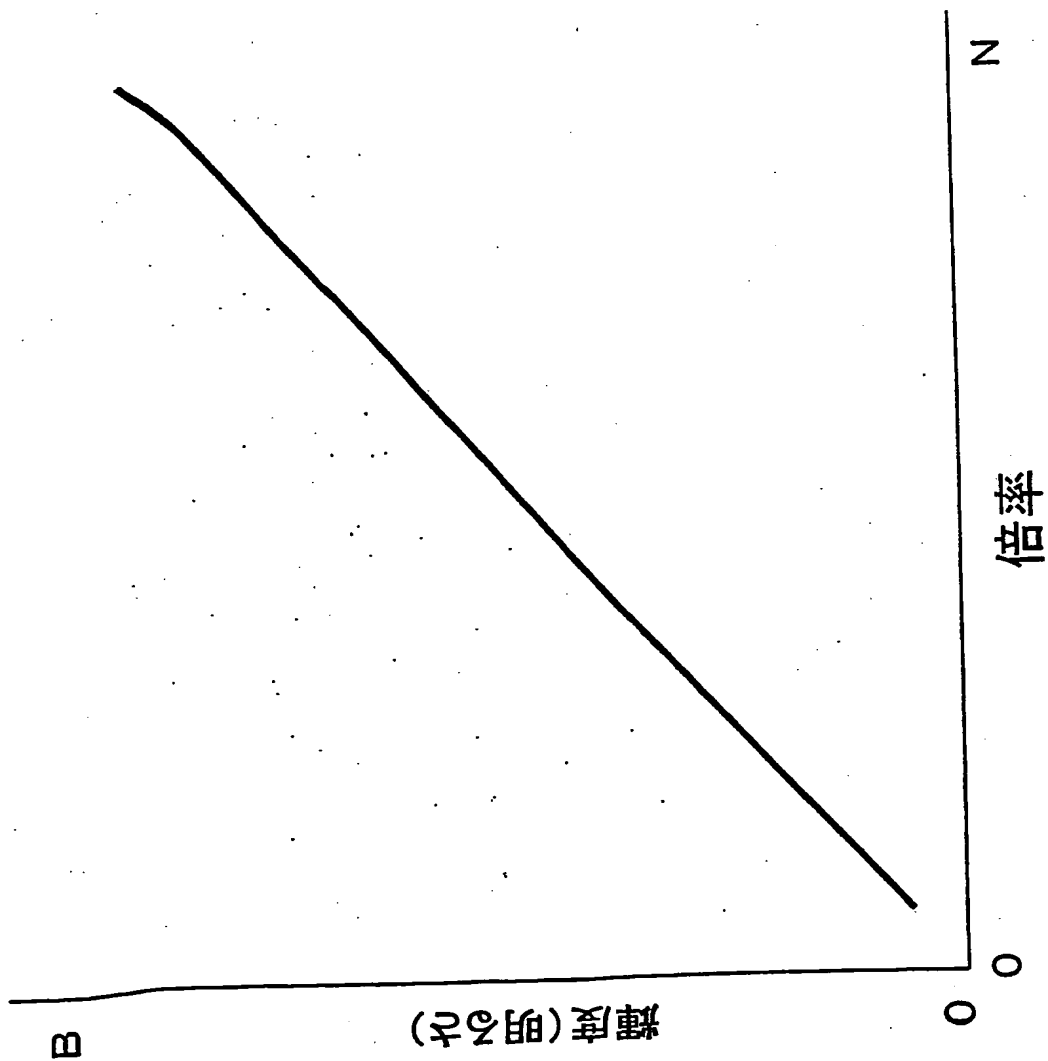


第10図

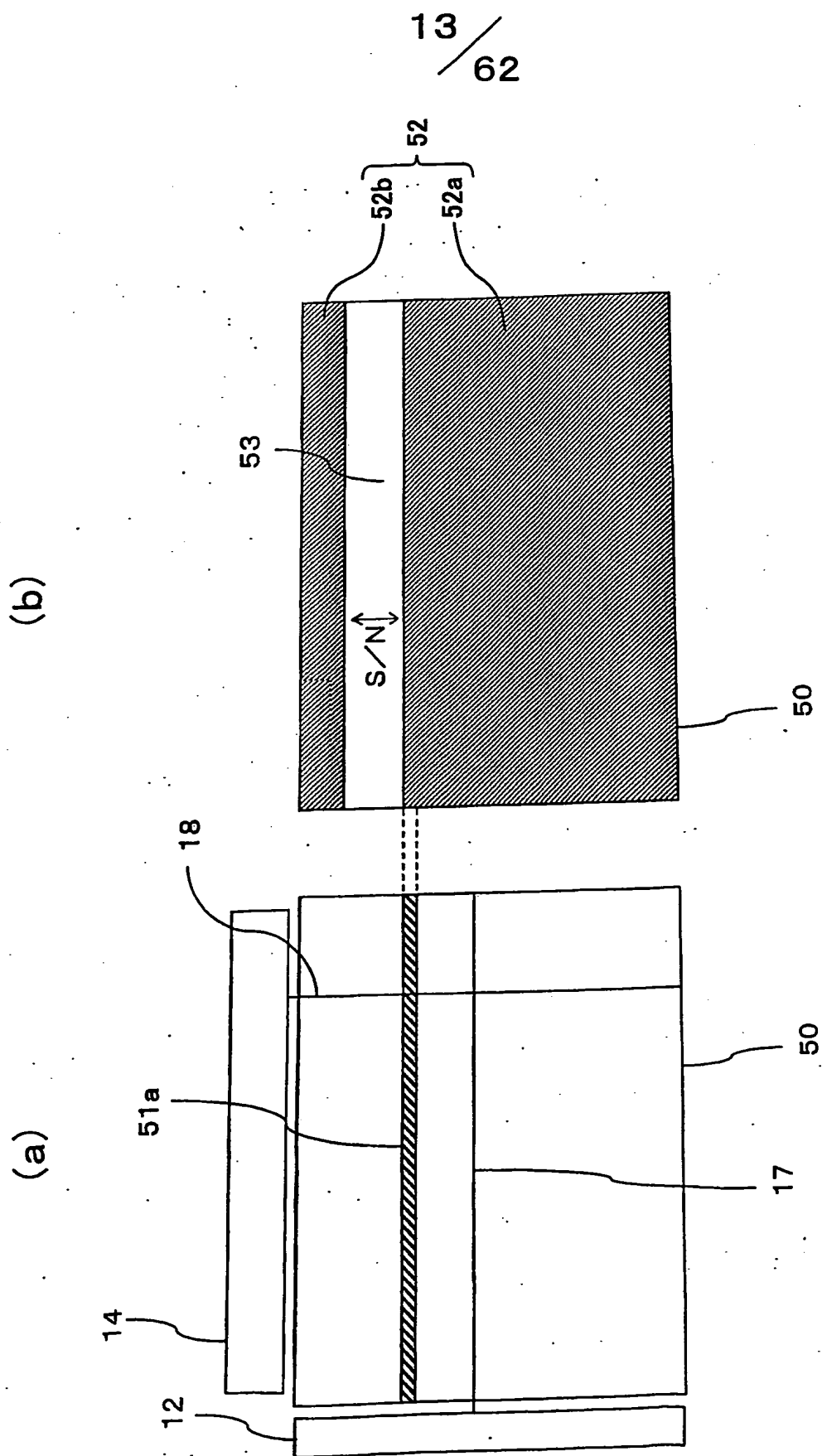


圖一

12 / 62

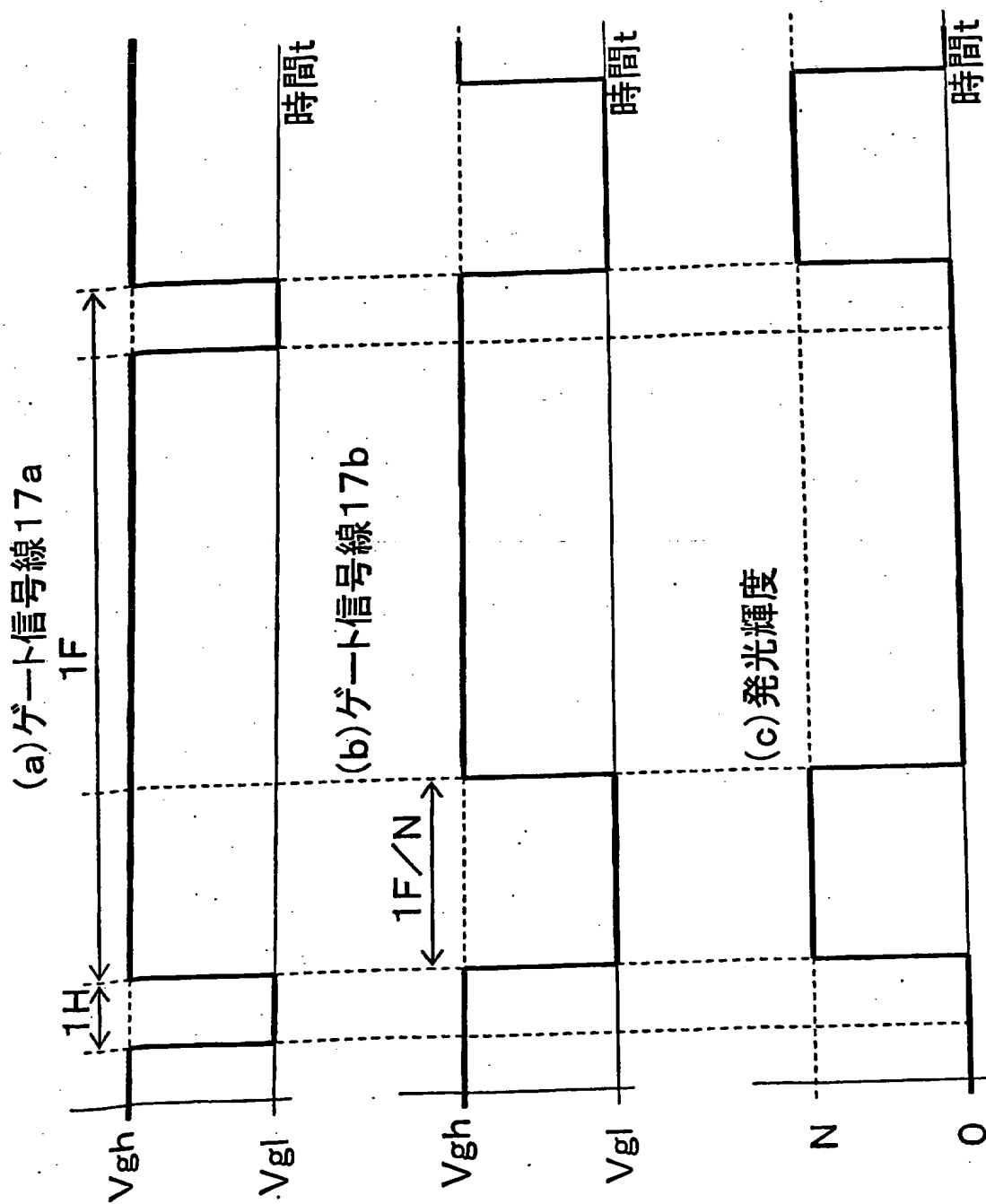


第12図



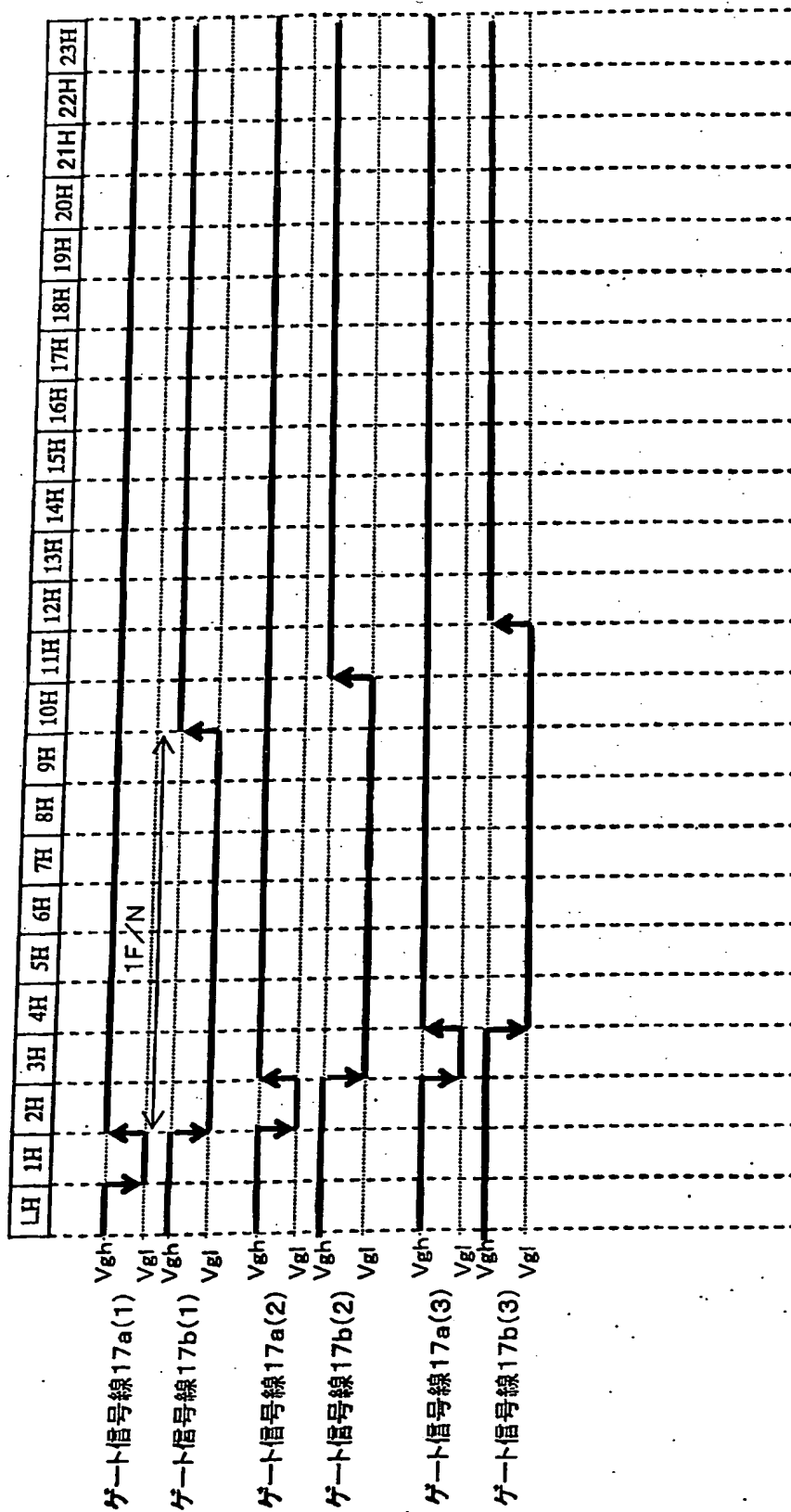
第13図

14 / 62

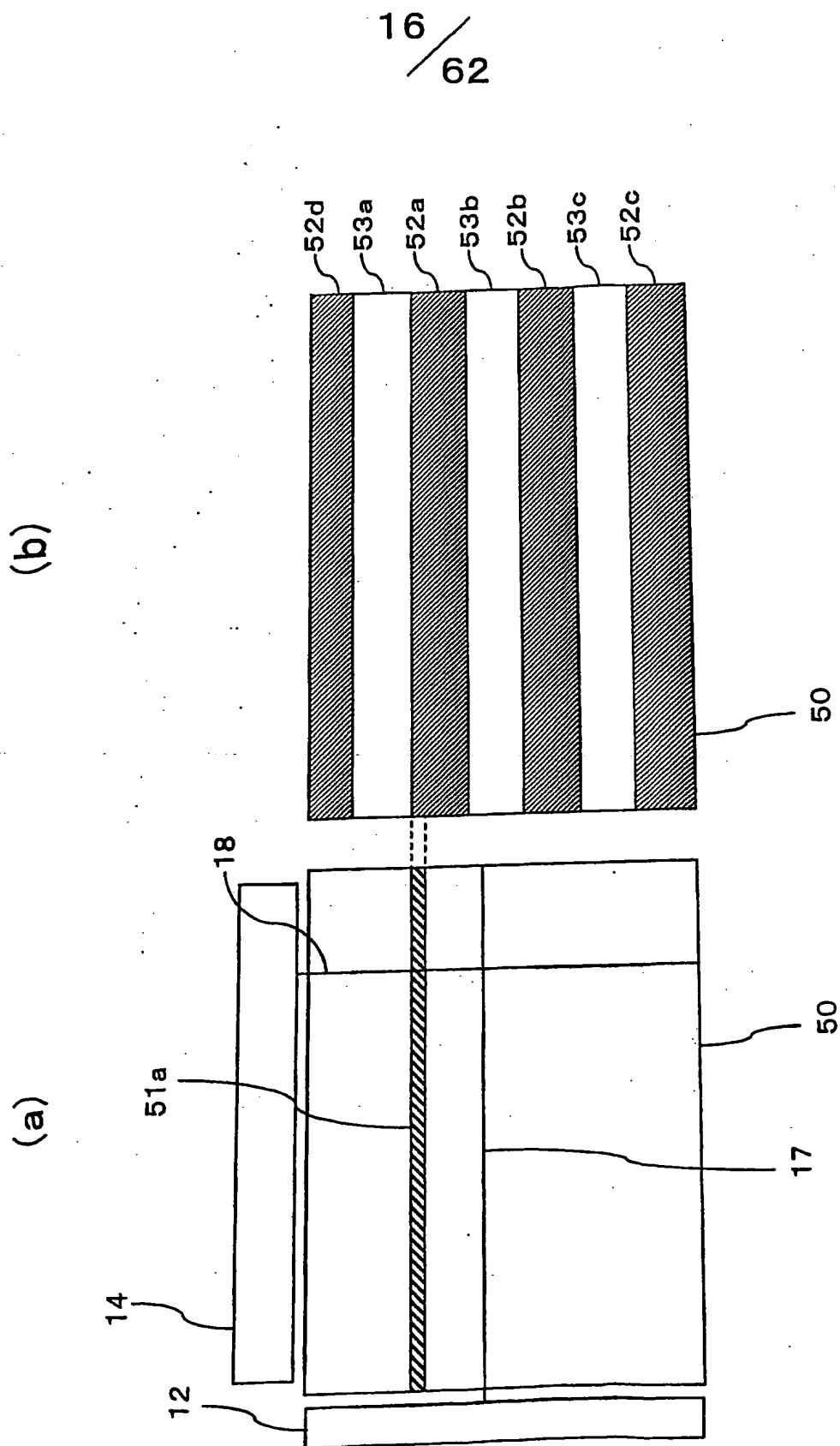


第14図

15 / 62

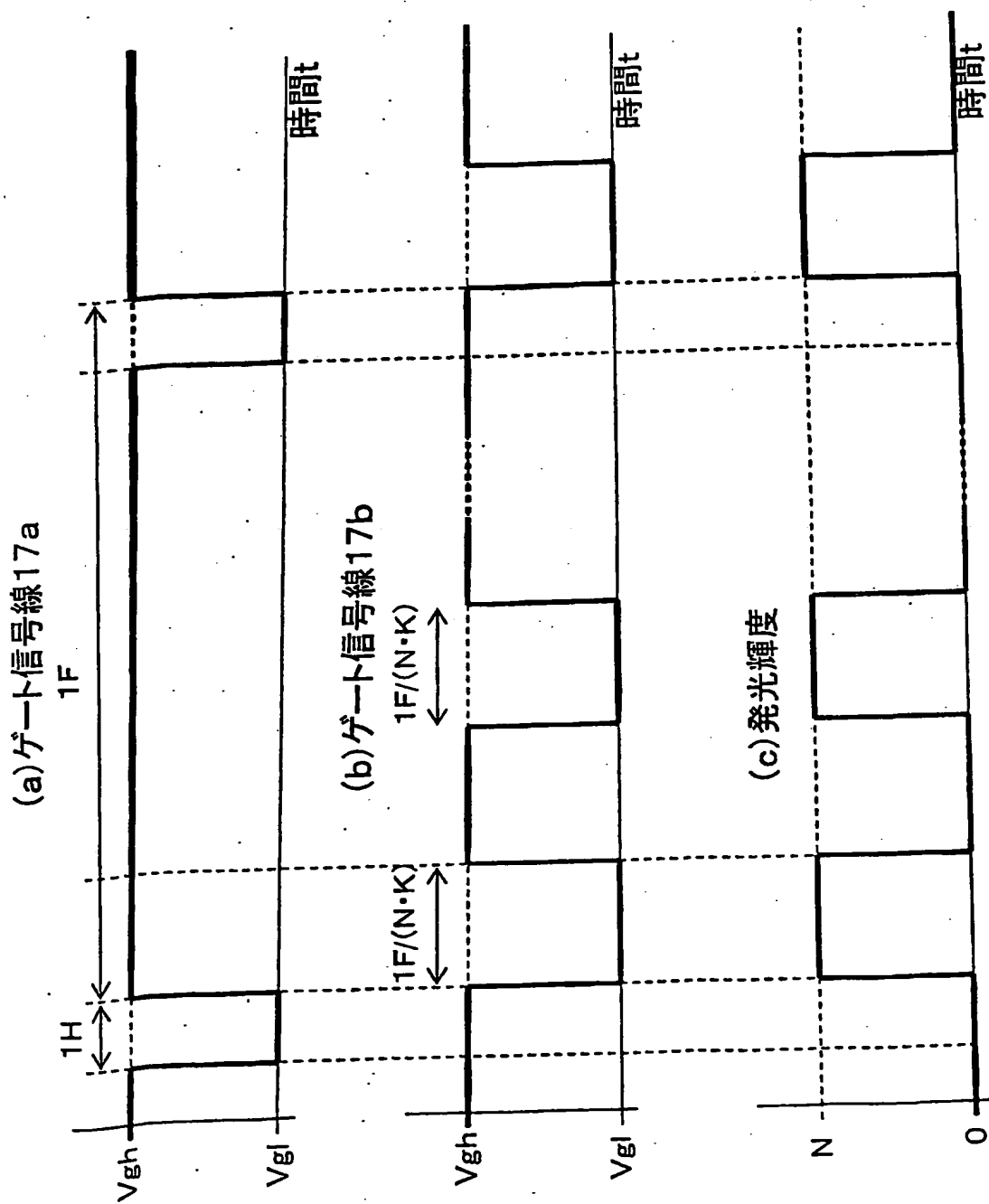


第15図



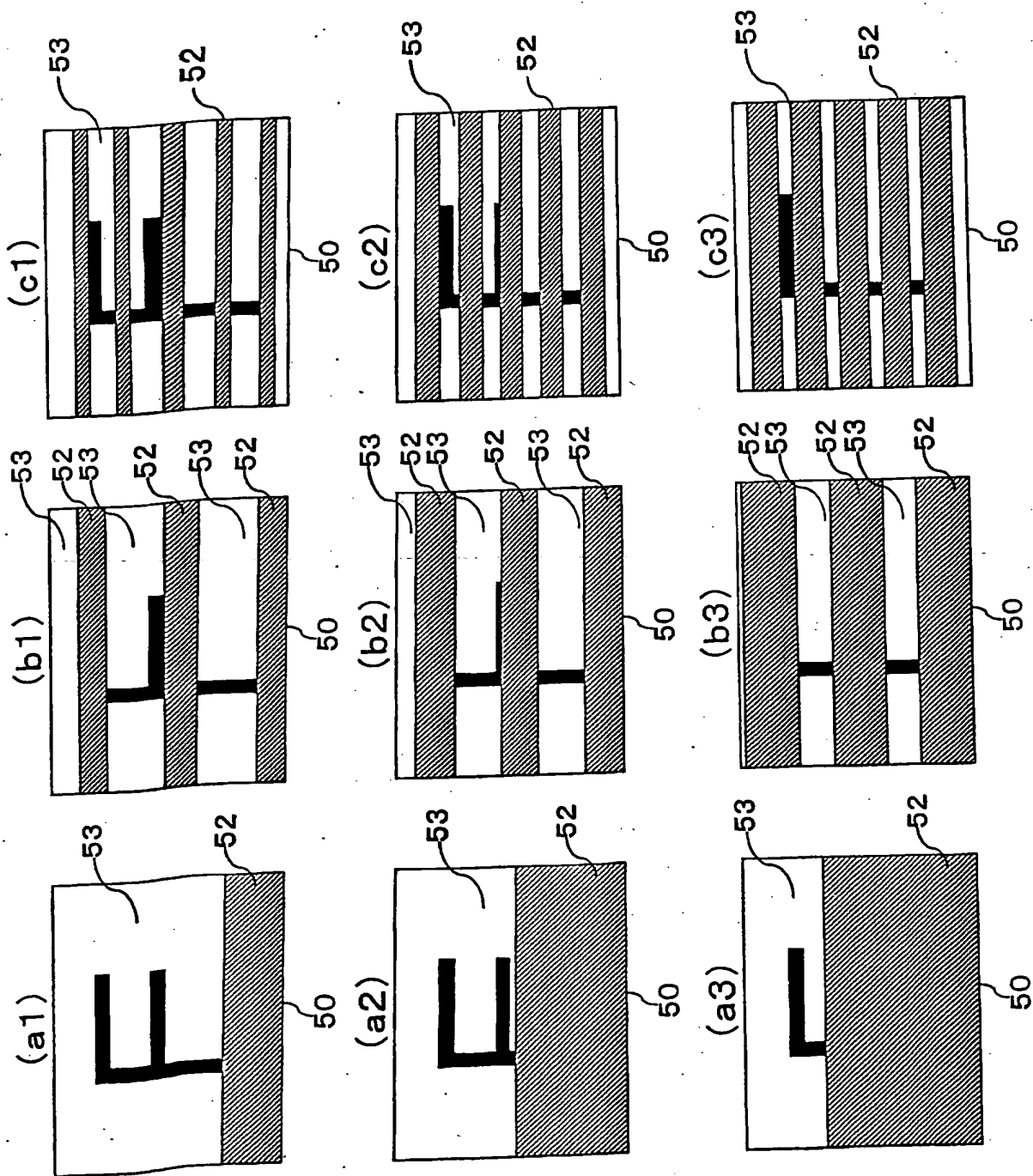
第16図

17 / 62

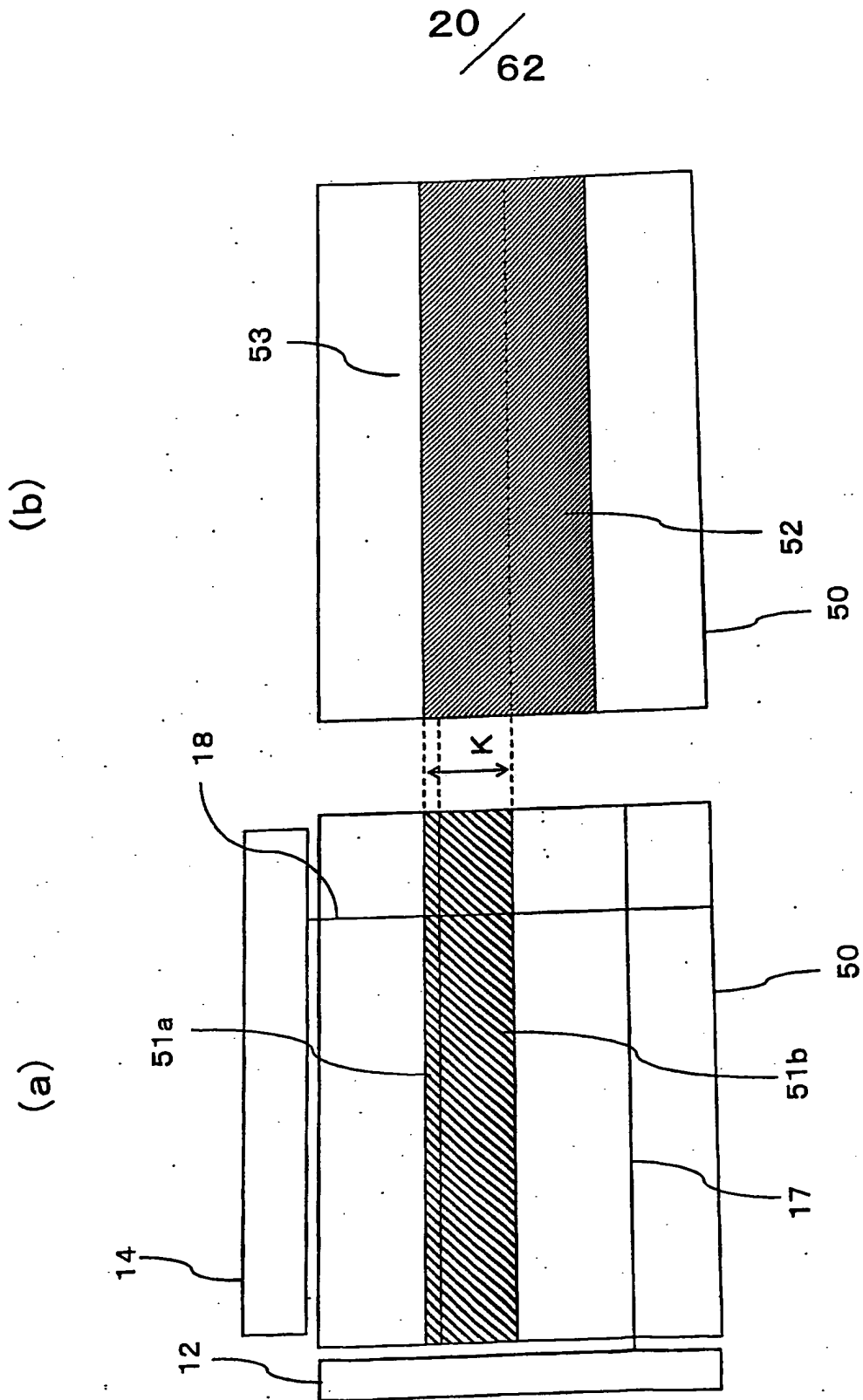


第17図

19
62

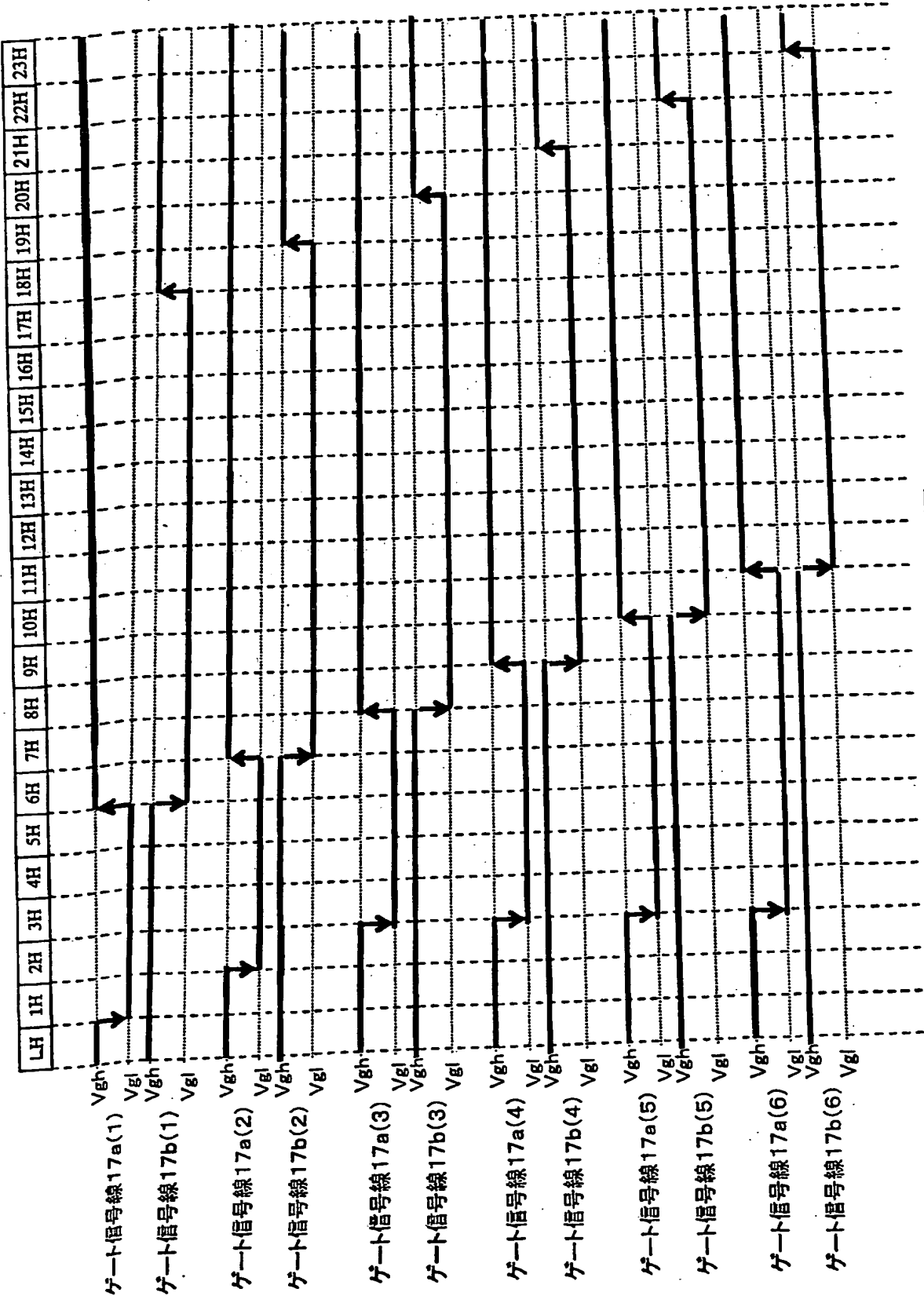


第19図

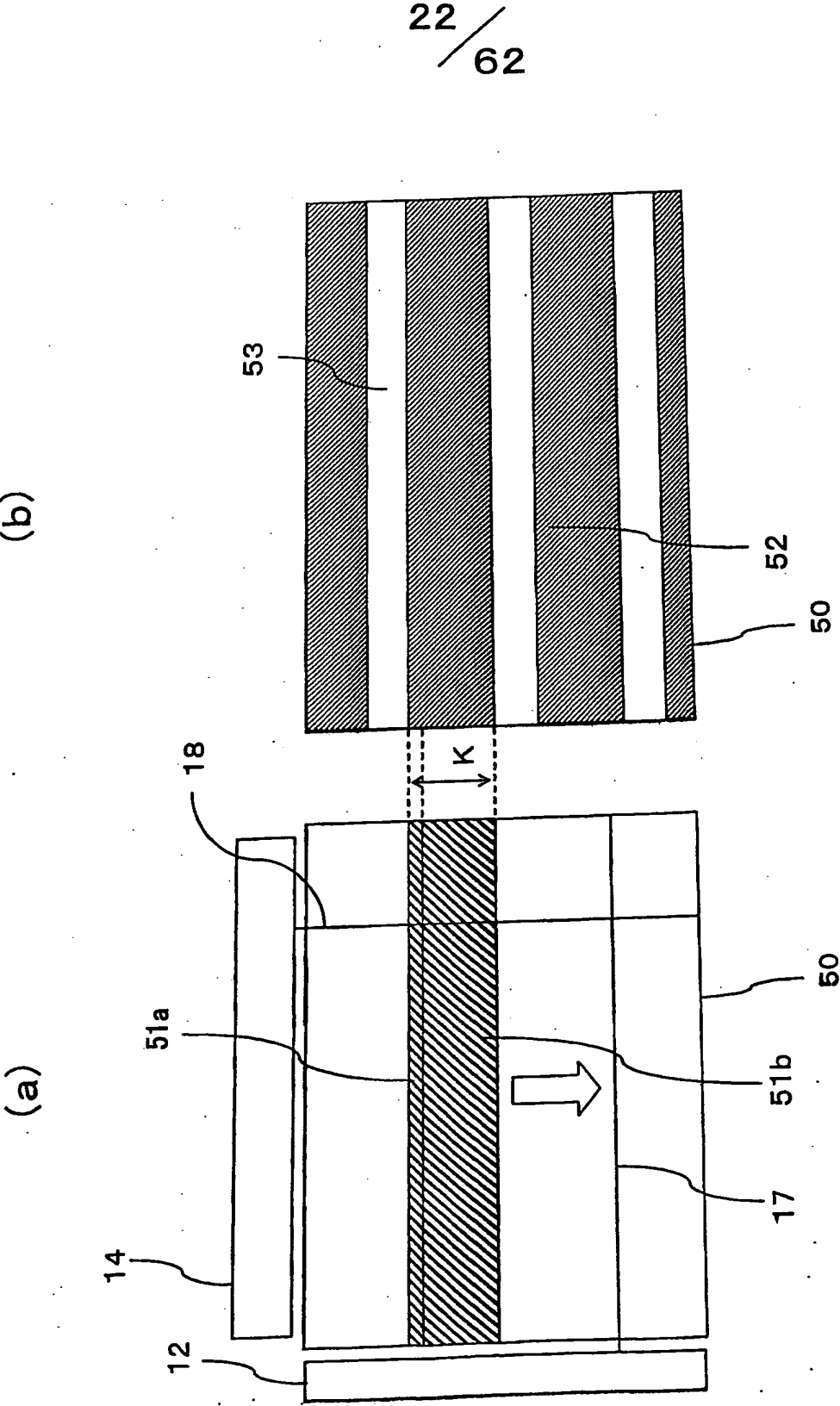


第20図

21 / 62

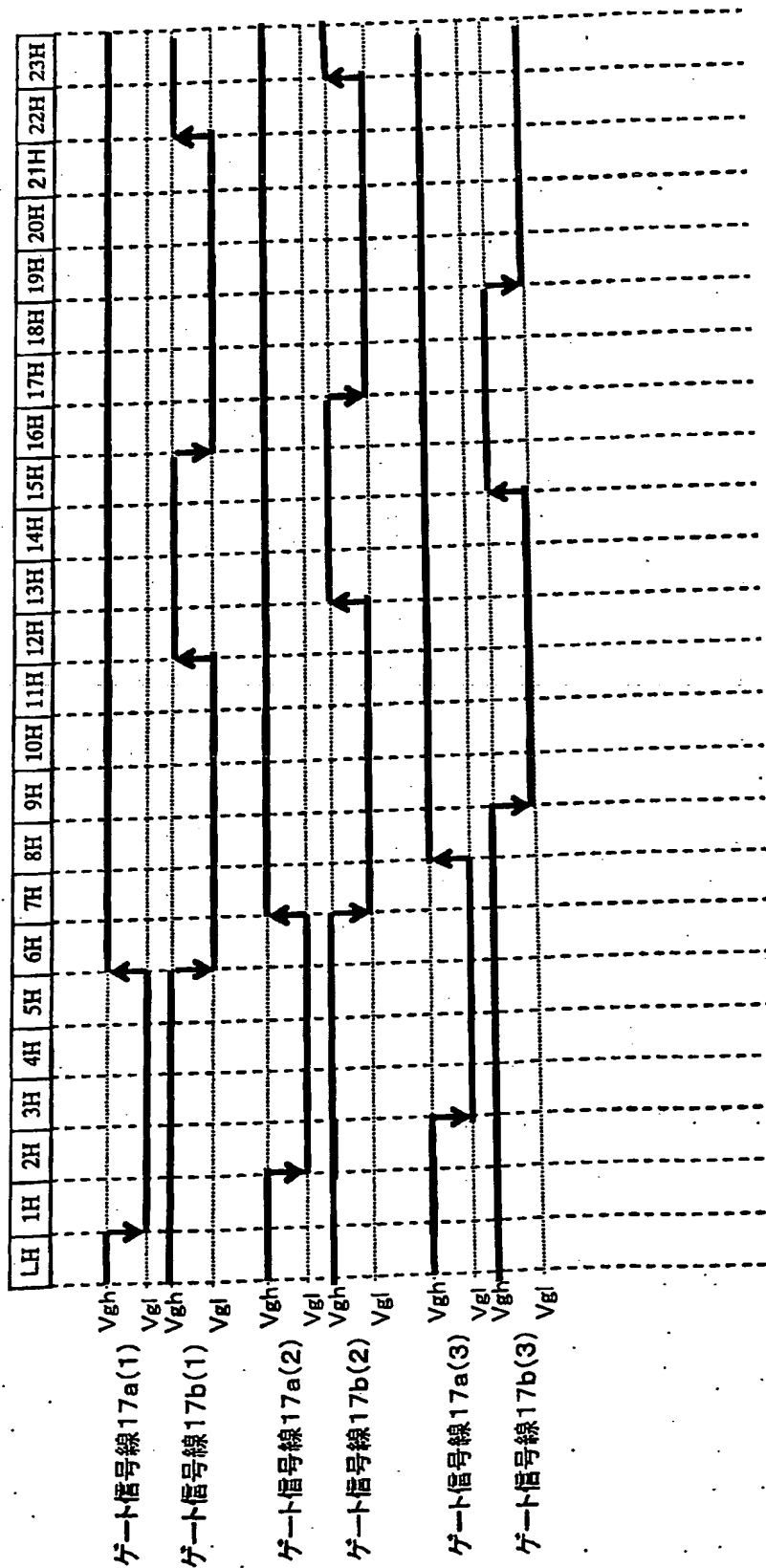


第21図

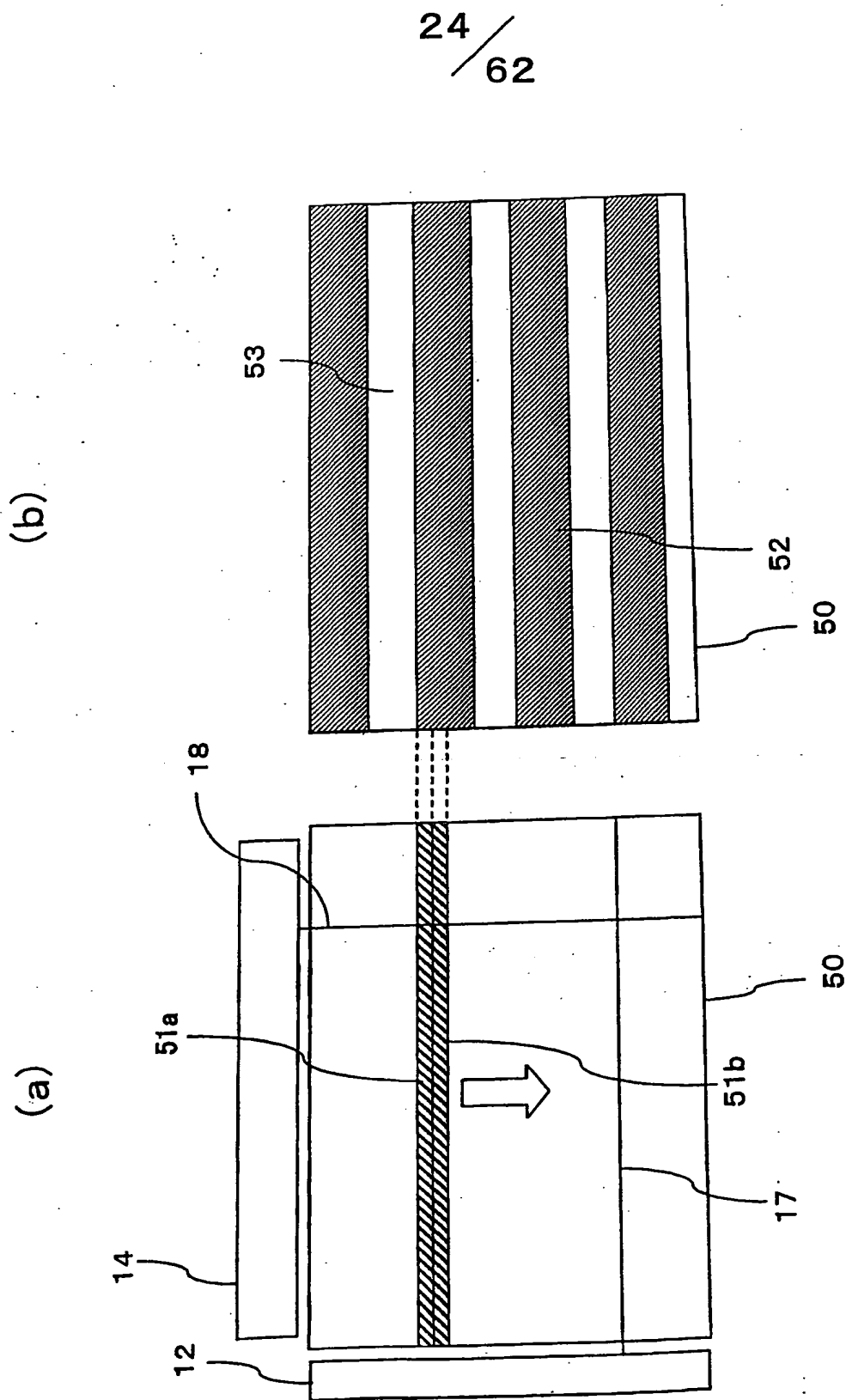


第22図

23
62

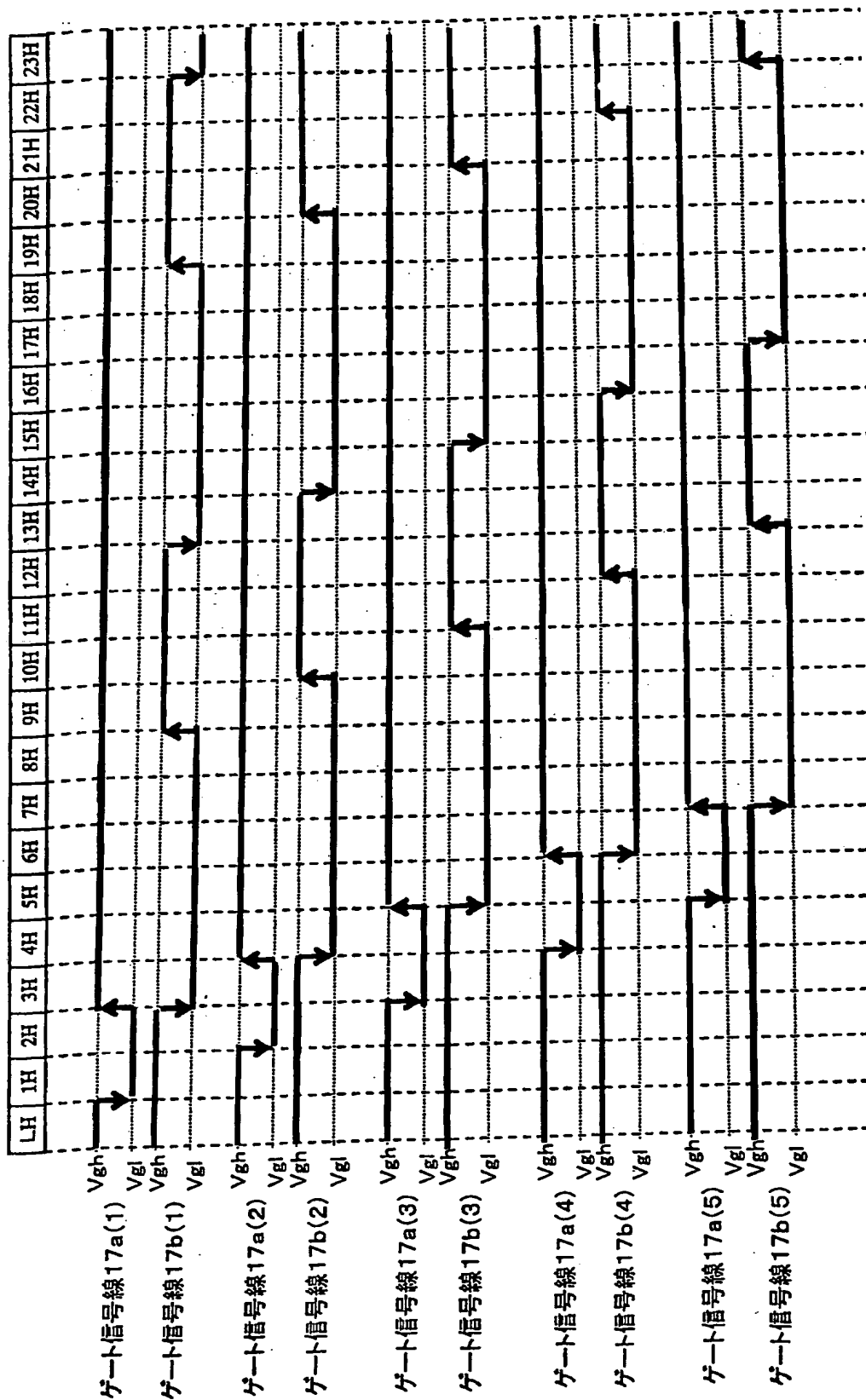


第23図



第24図

25 / 62



第25図

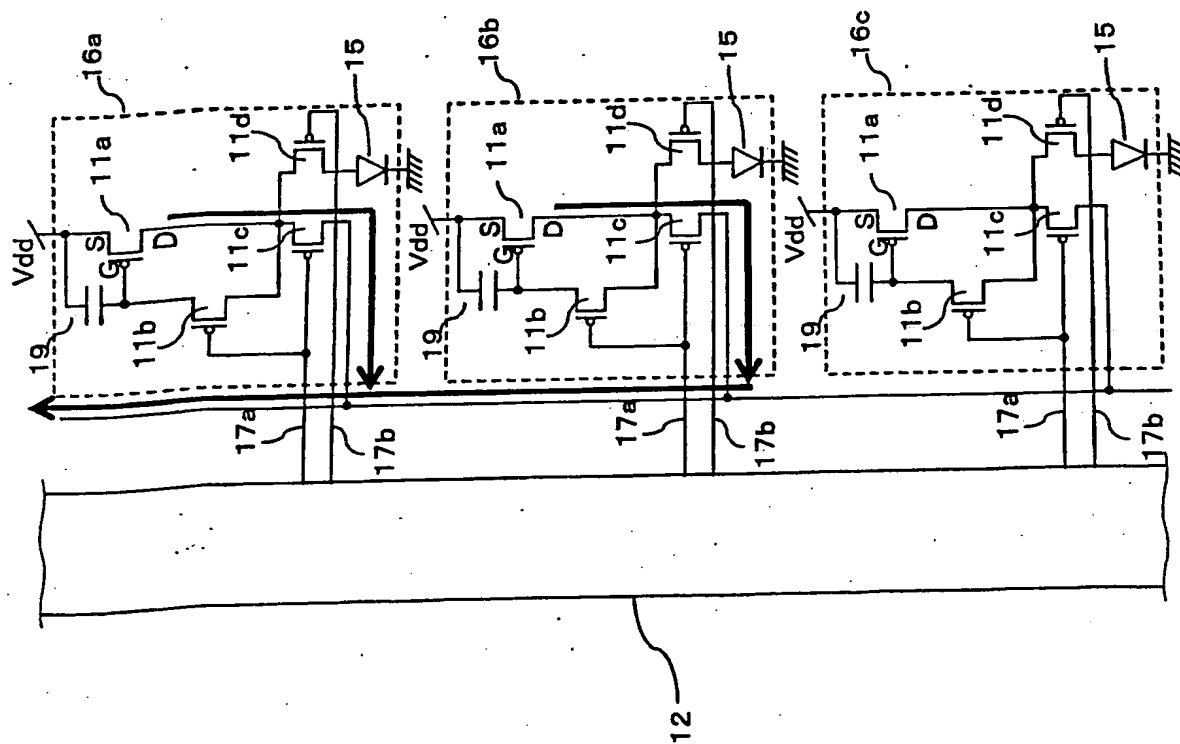
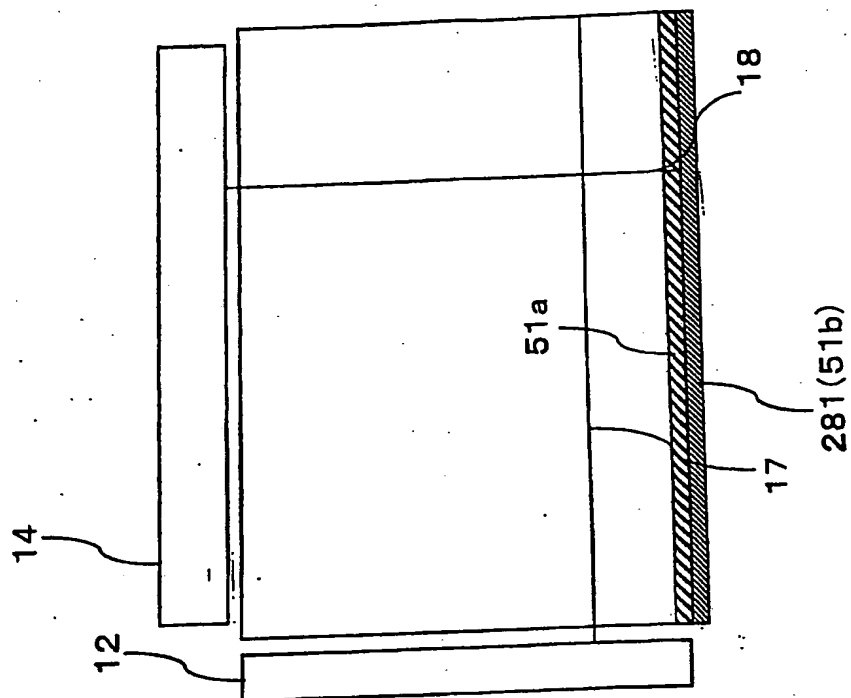


図 26 鋼

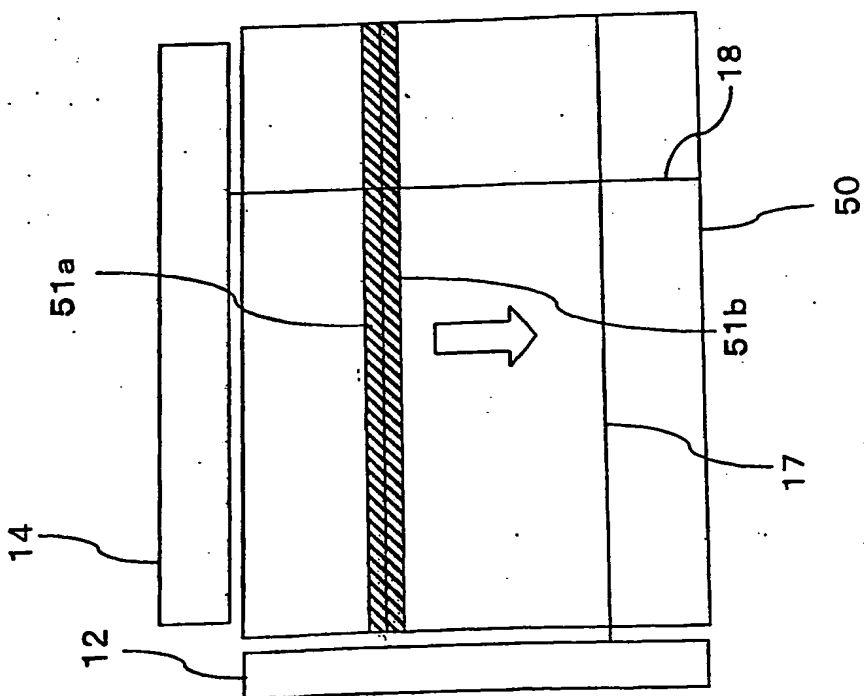
27 / 62

281 ダミー画素(行)

(b)

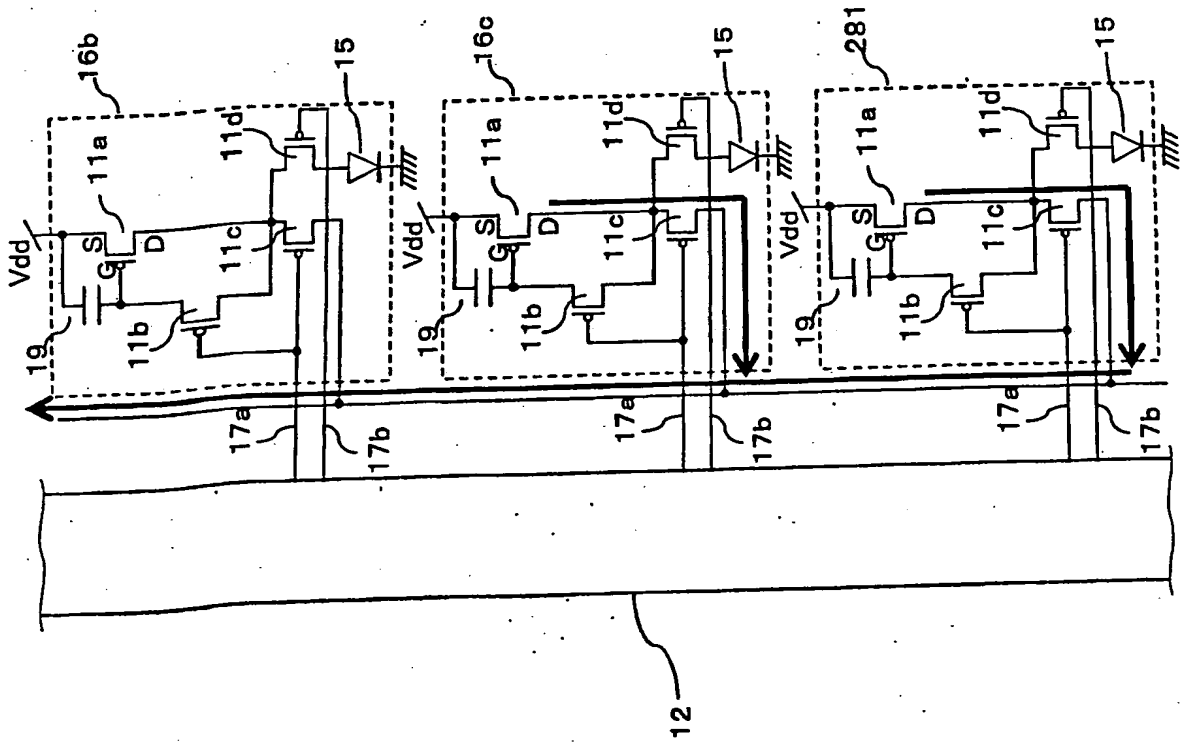


(a)



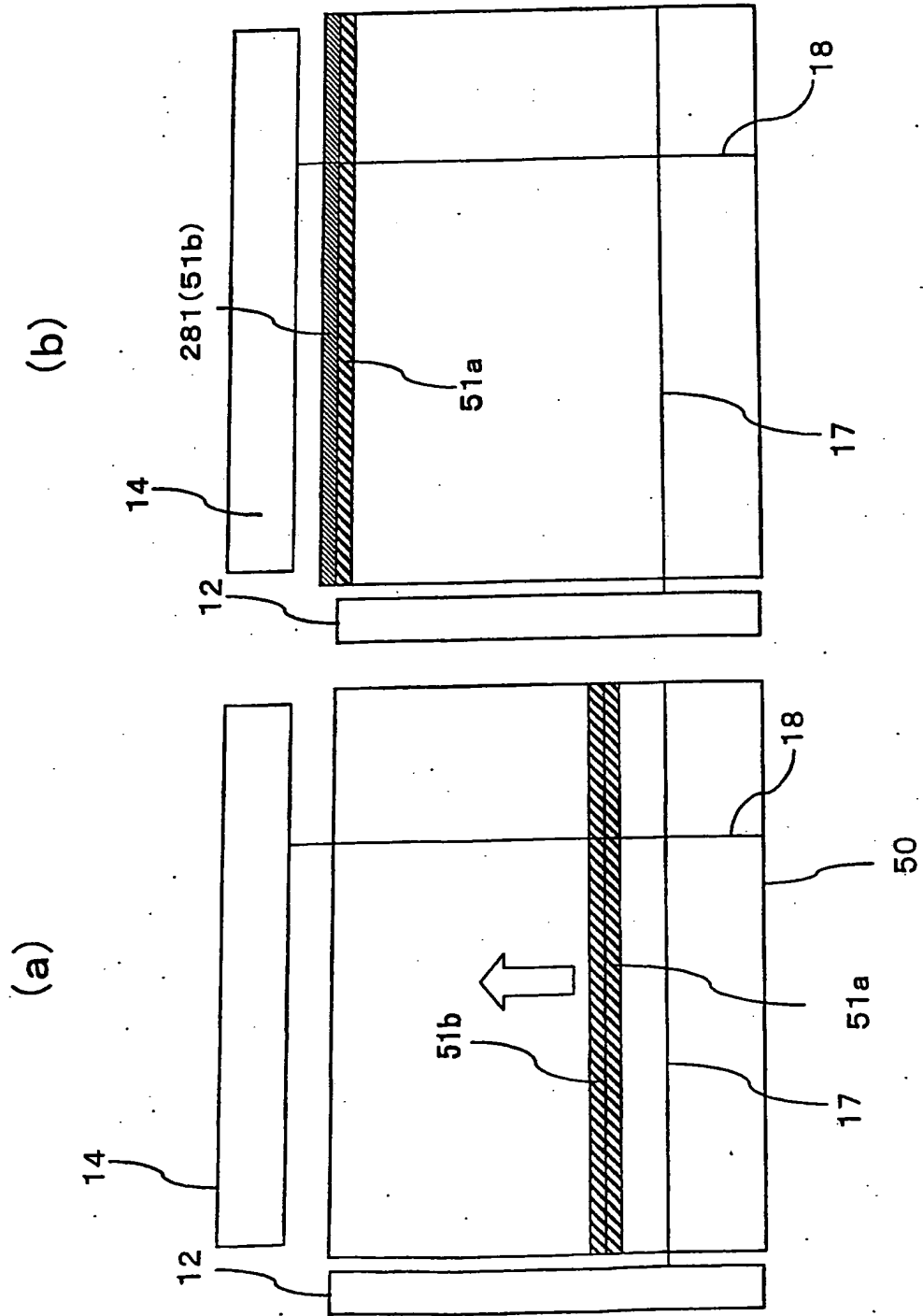
第27図

28 / 62



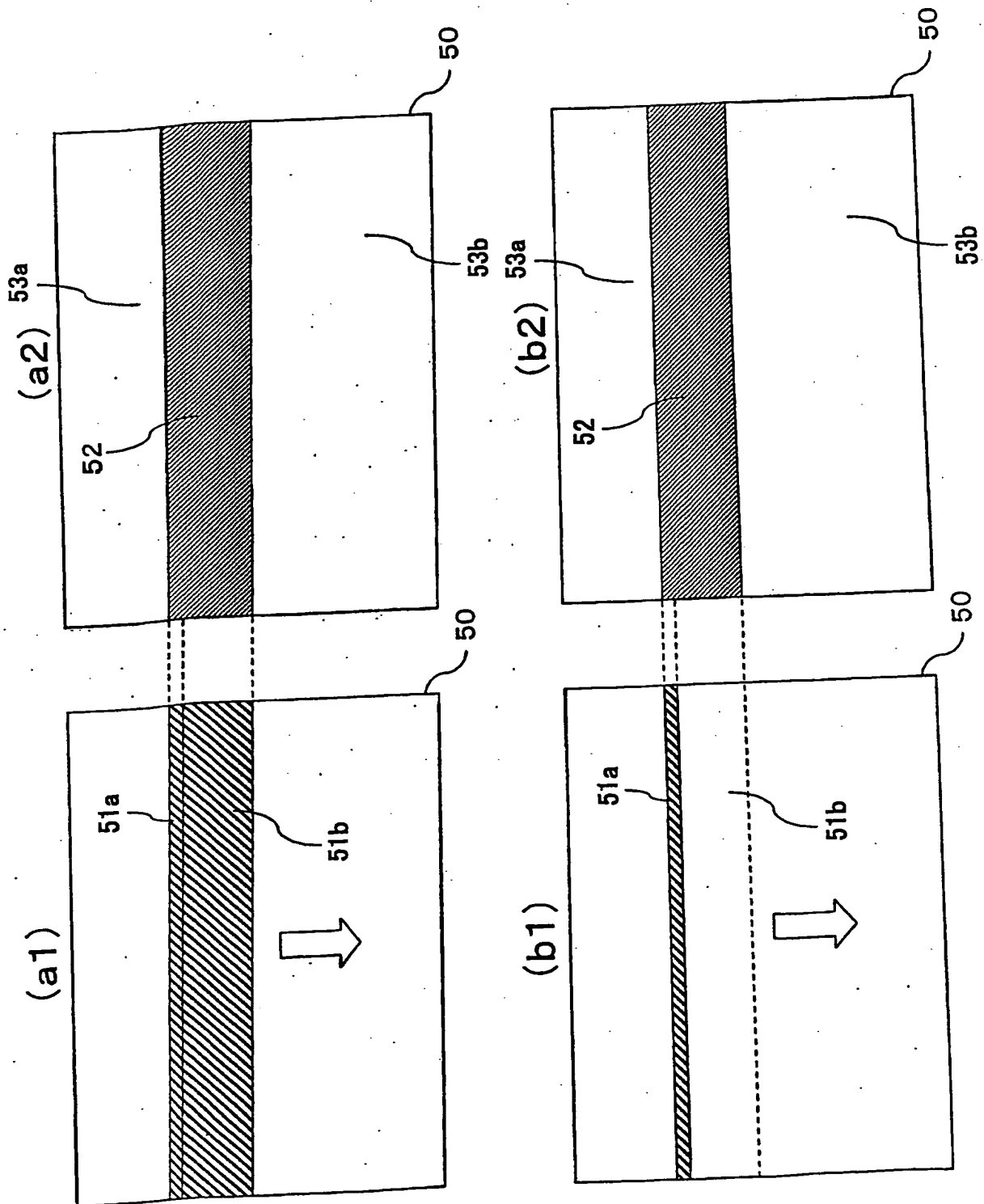
第28図

29
/ 62

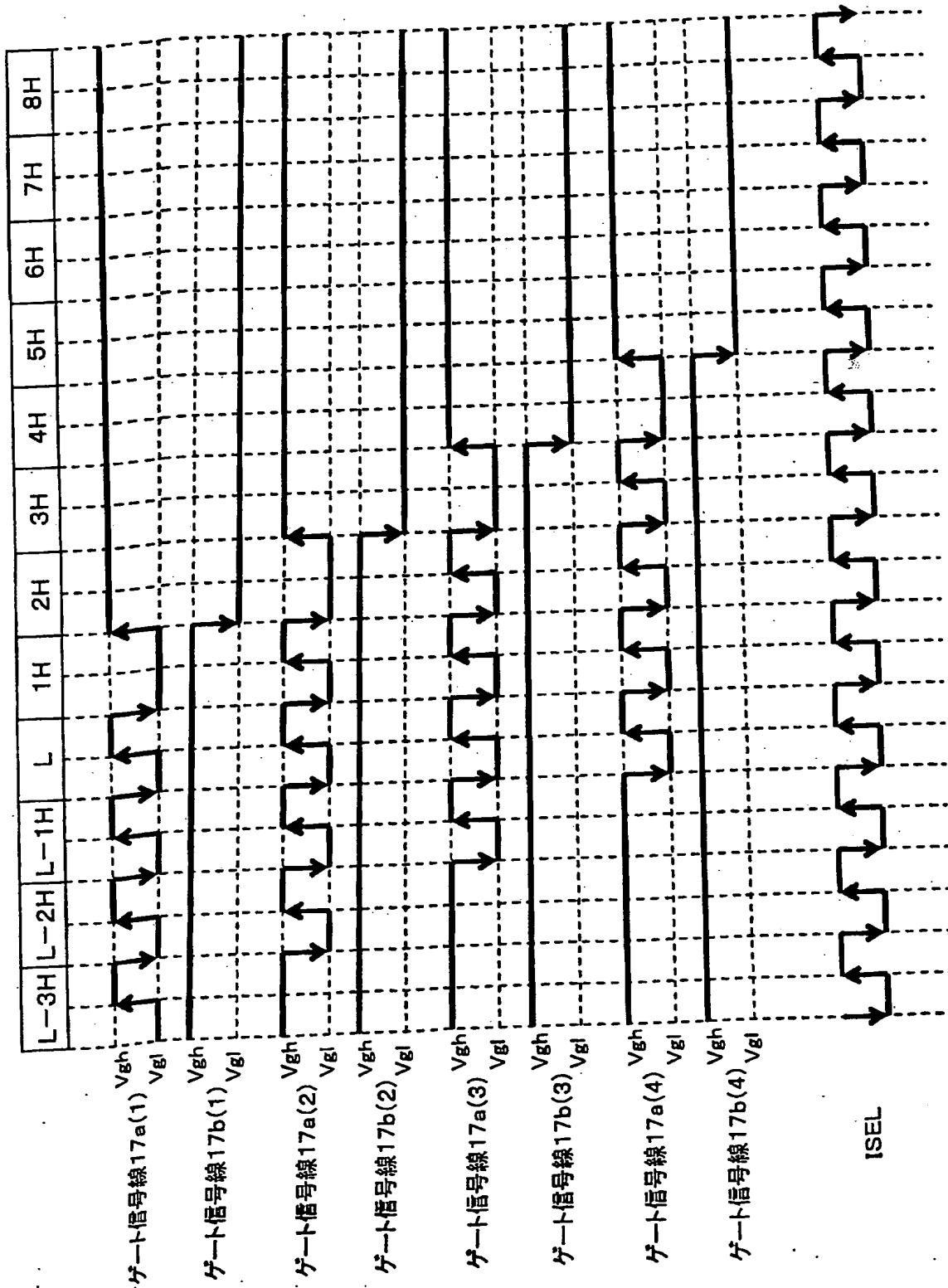


第29図

30 / 62



第30図



第31図

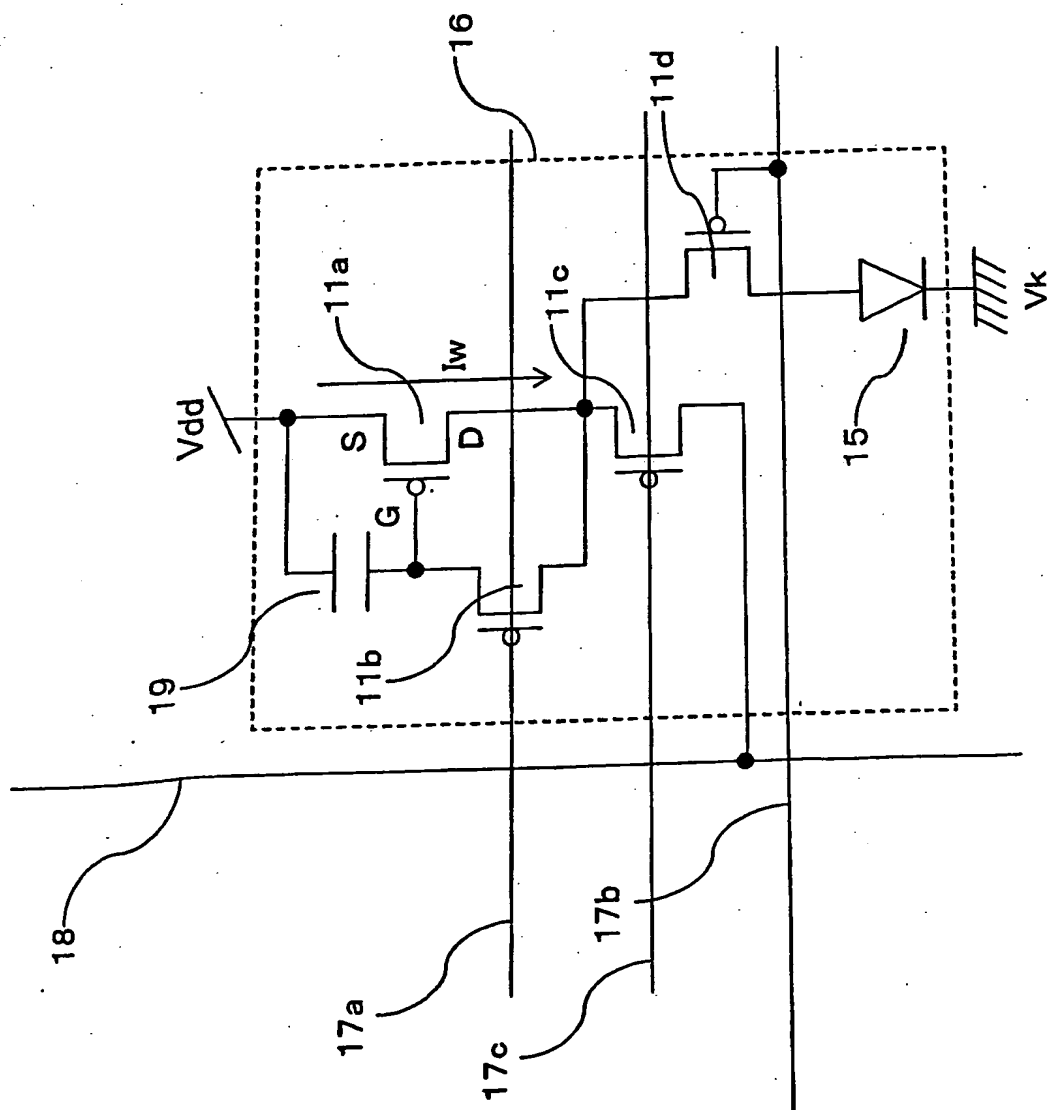
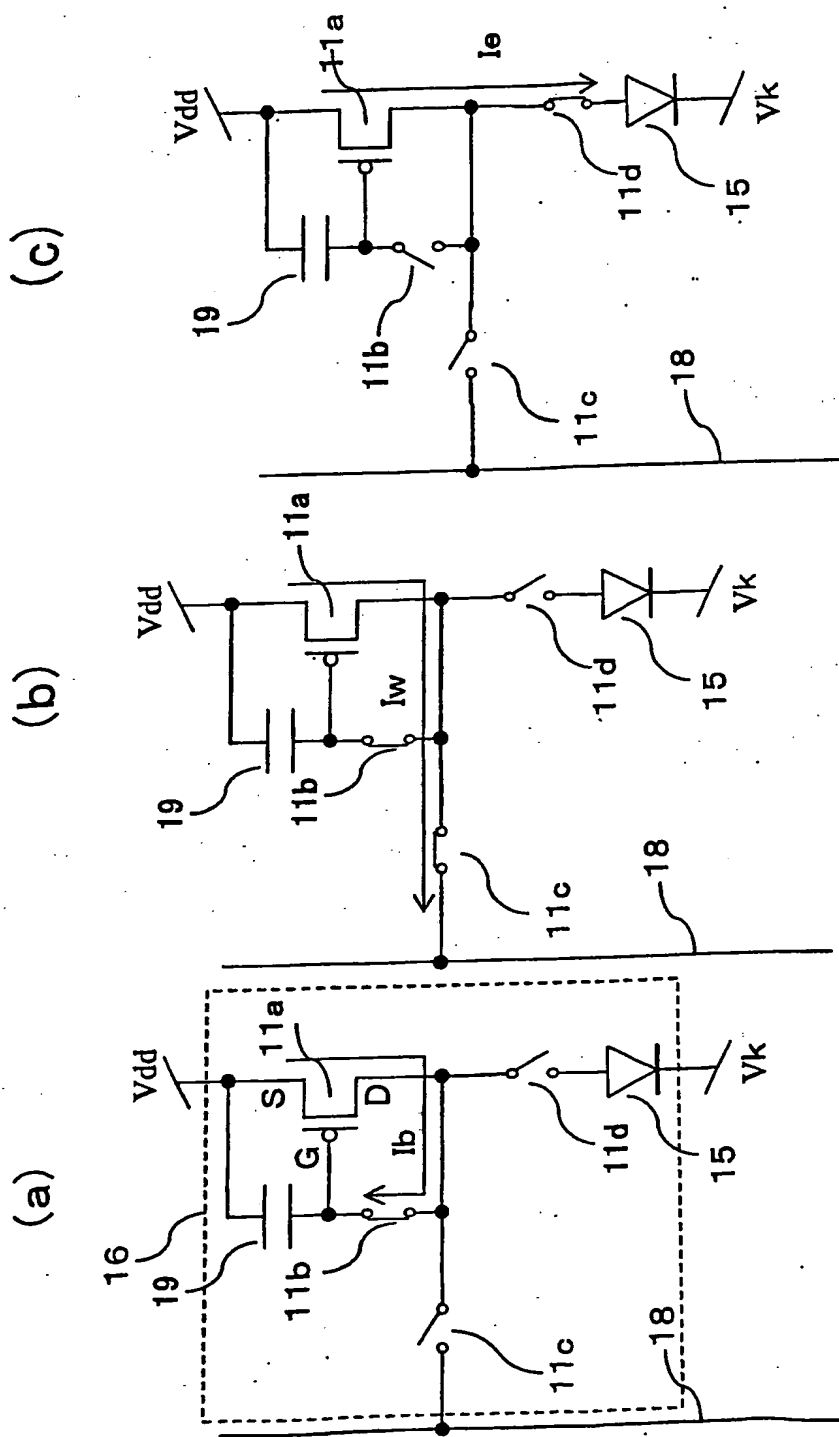
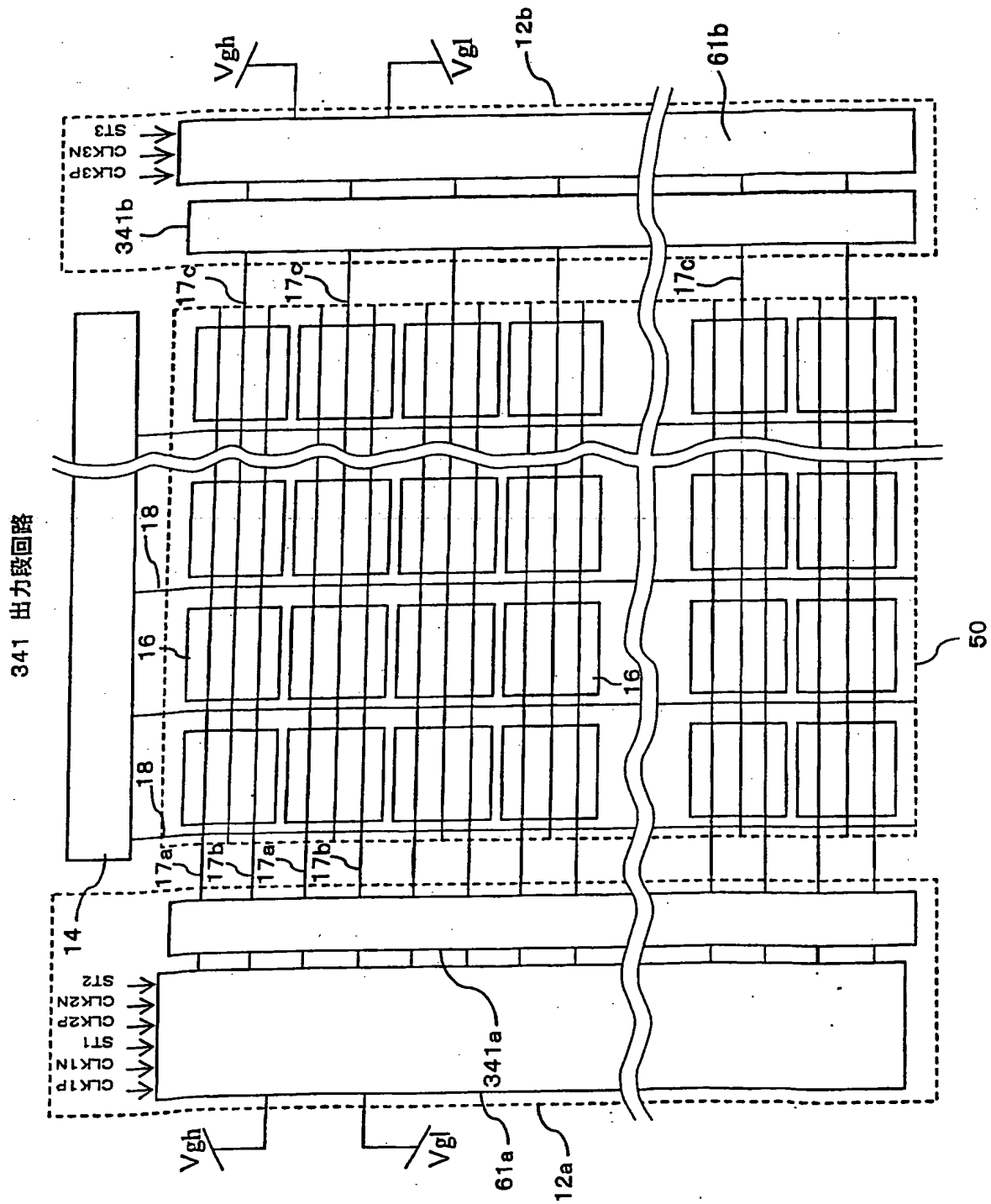
$$\frac{32}{62}$$


图 32 锯

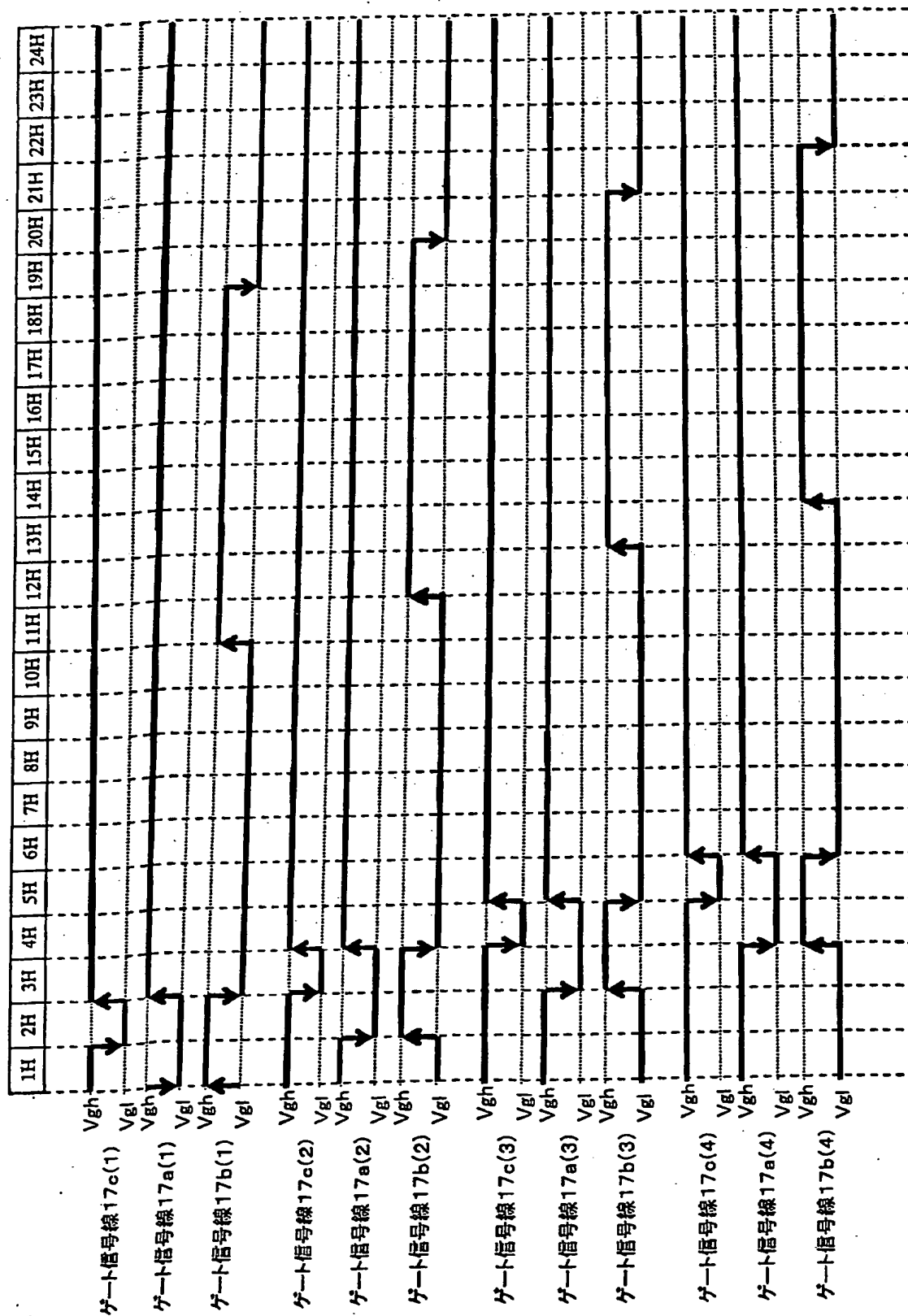
33 / 62



第33図

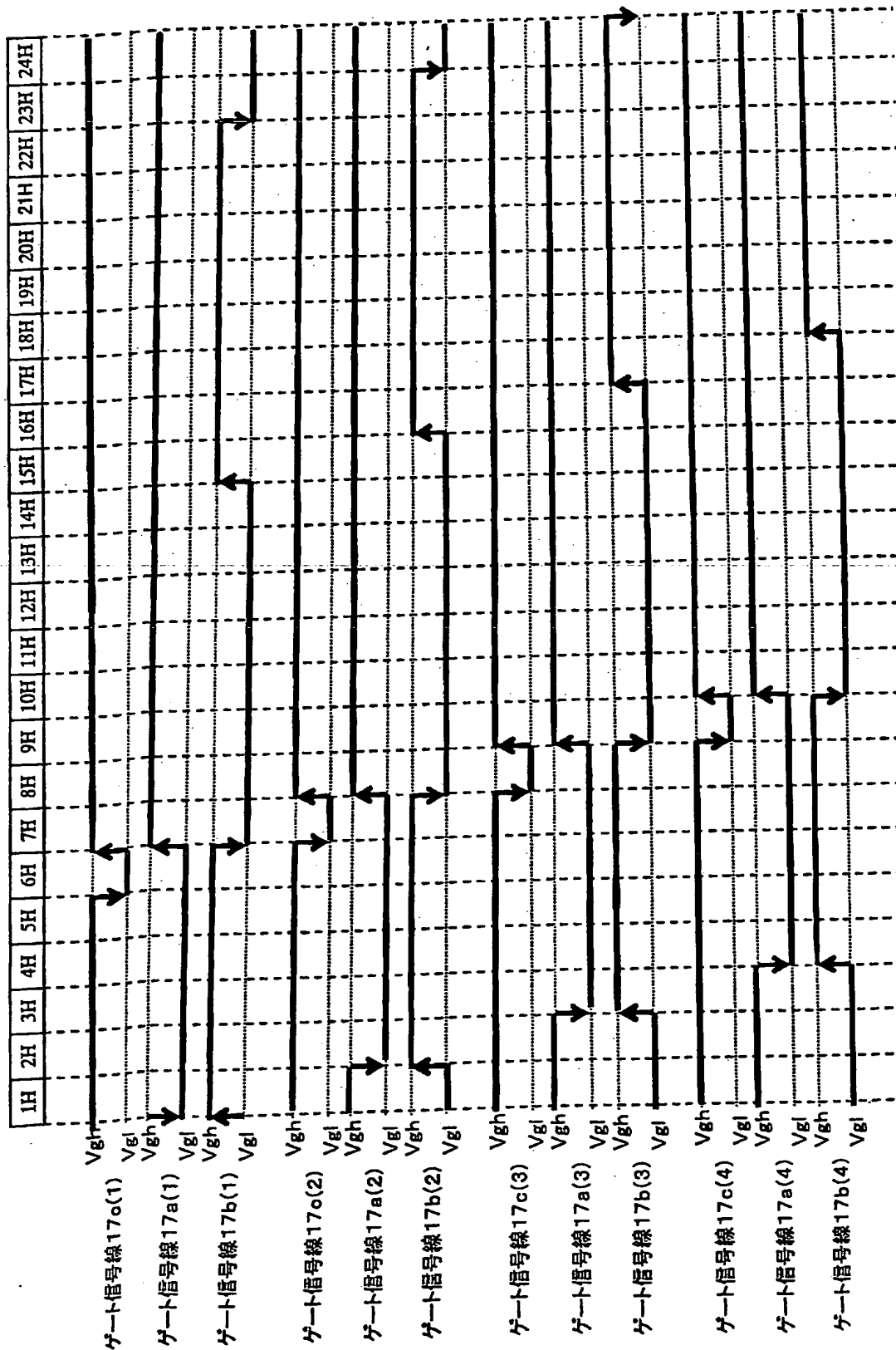
$$\frac{34}{62}$$


第34圖

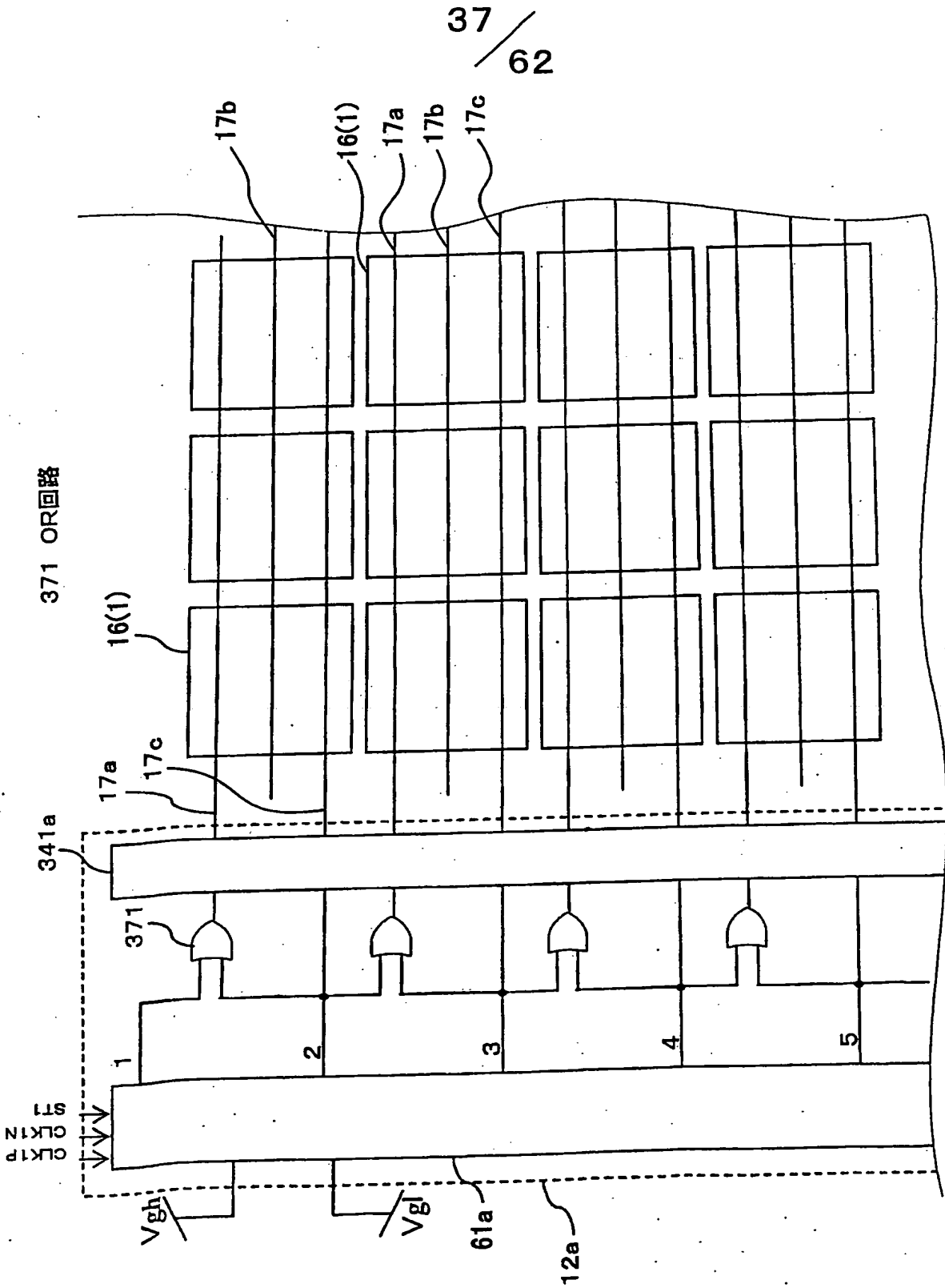
35
62

第35図

36
62



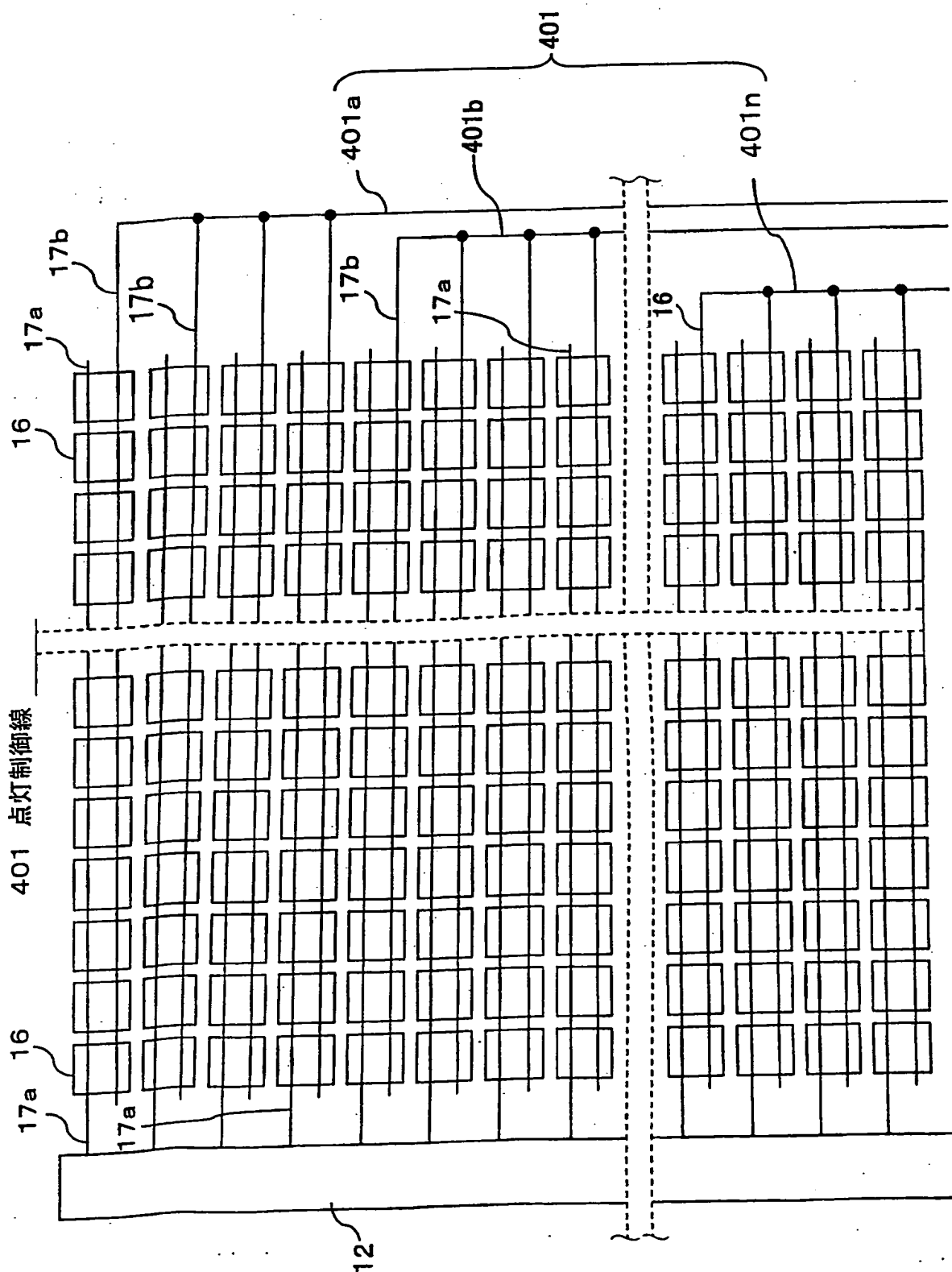
第36図



第37図

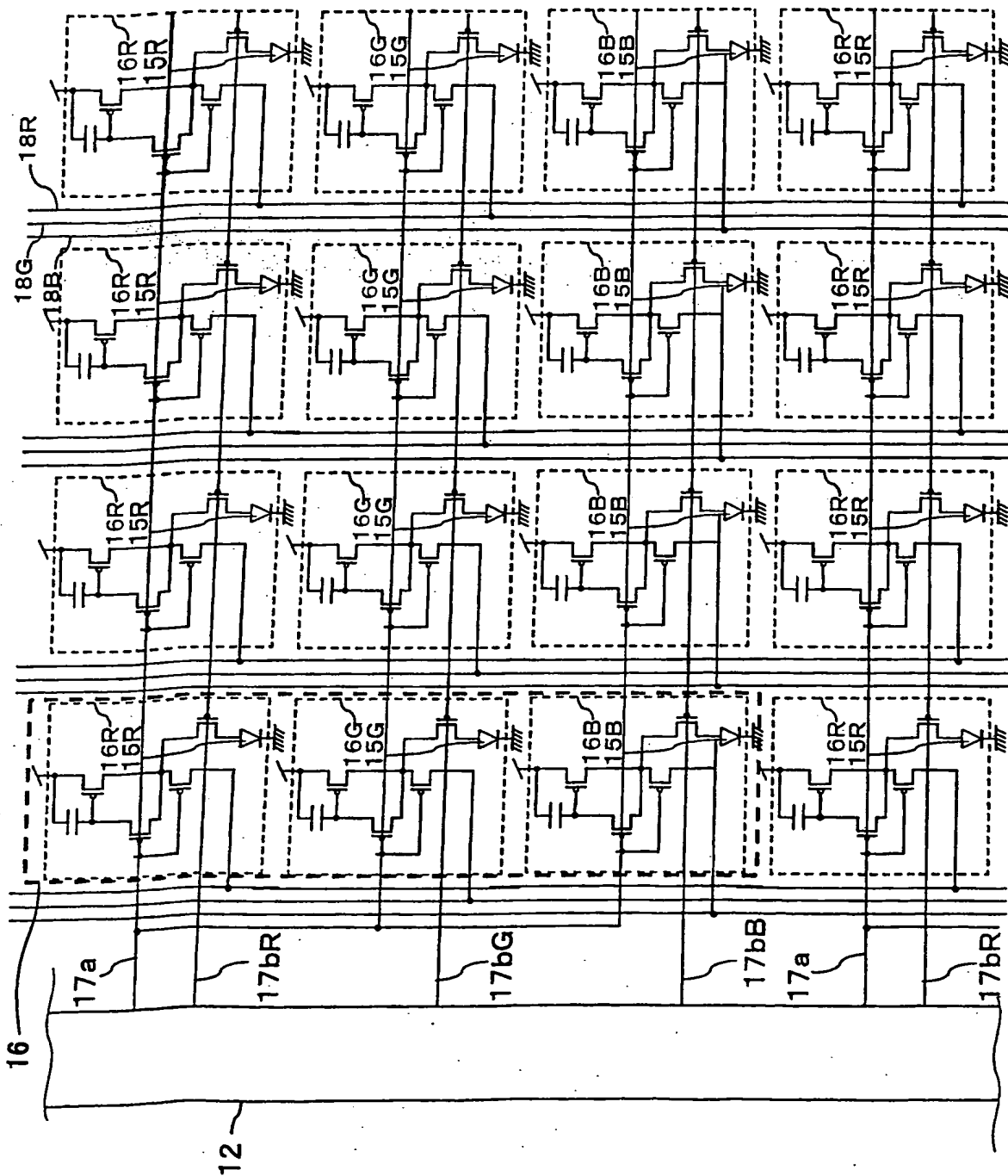
39 / 62





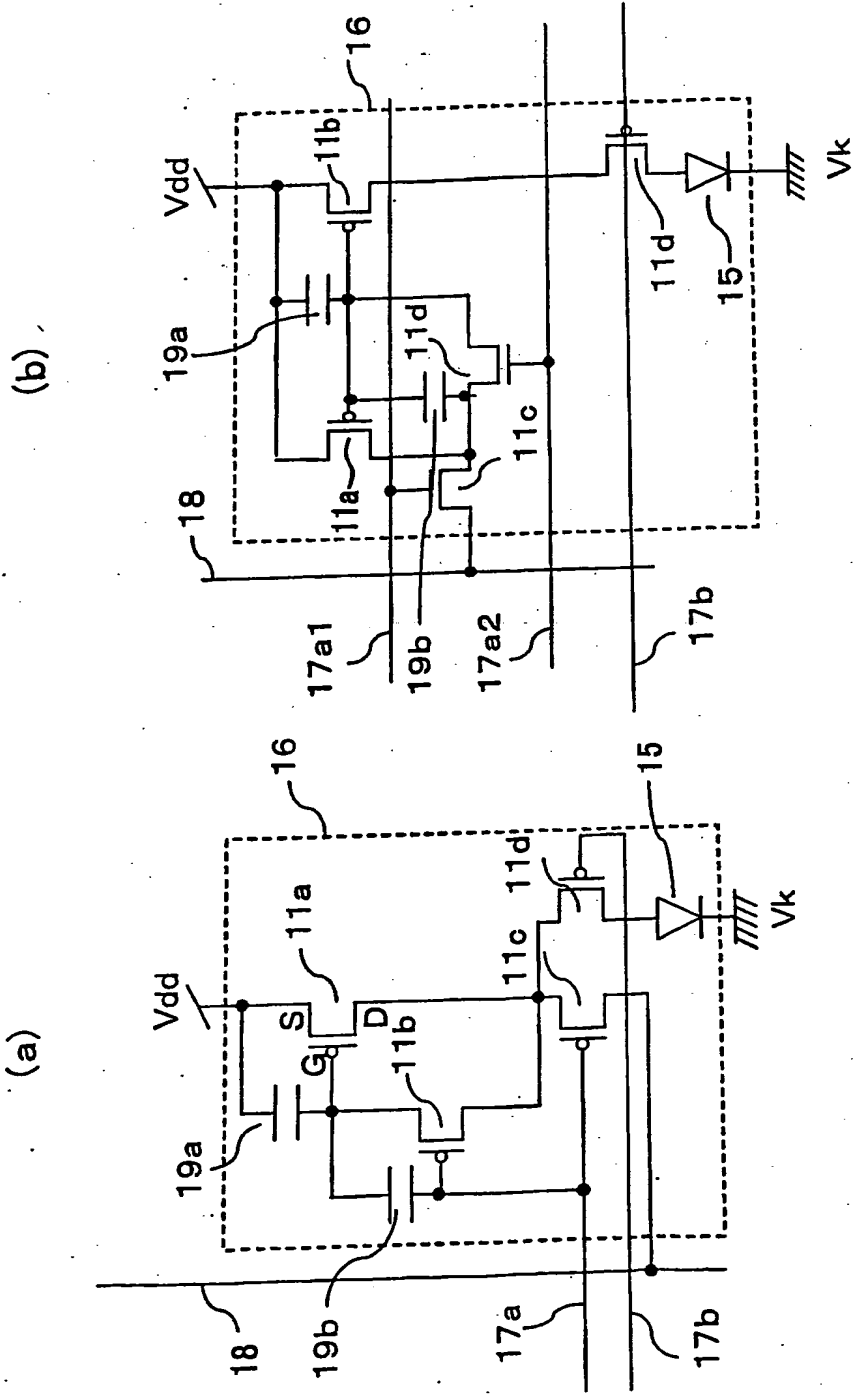
第40圖

41 / 62



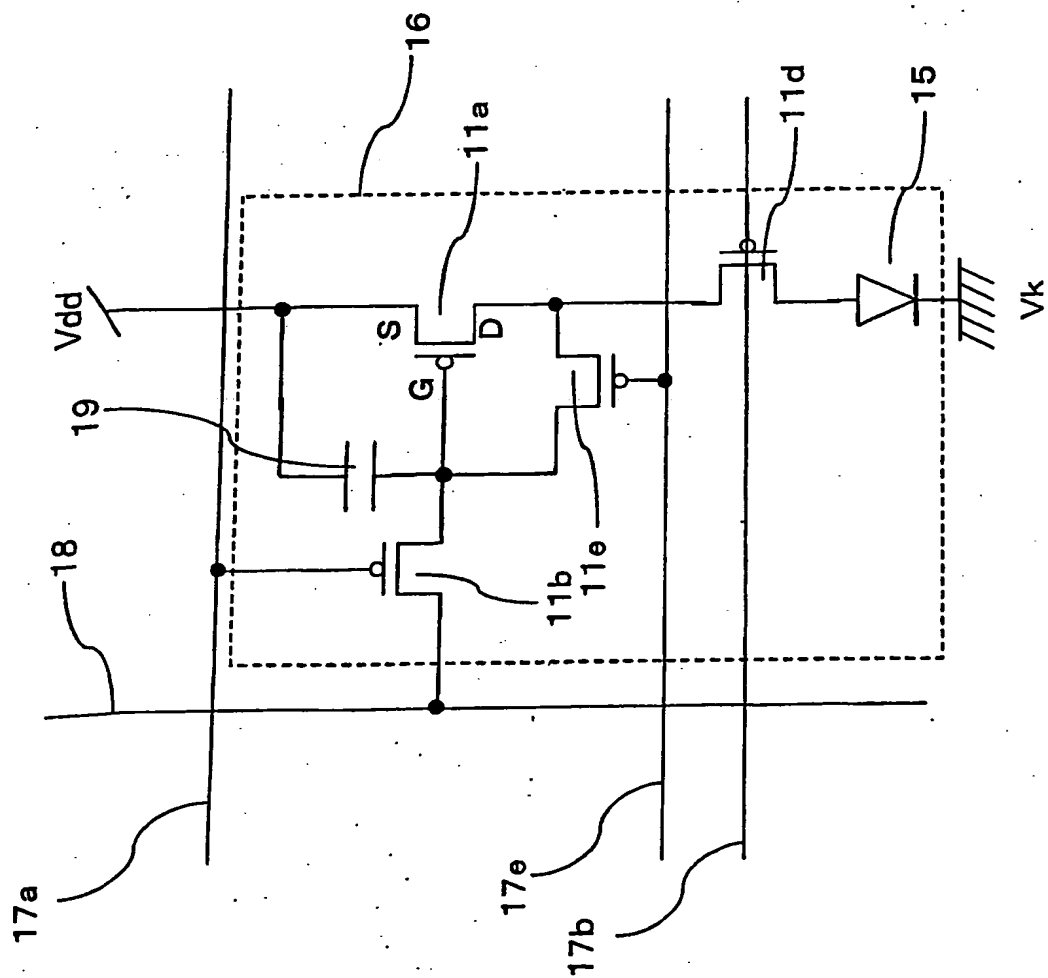
第41図

42 / 62



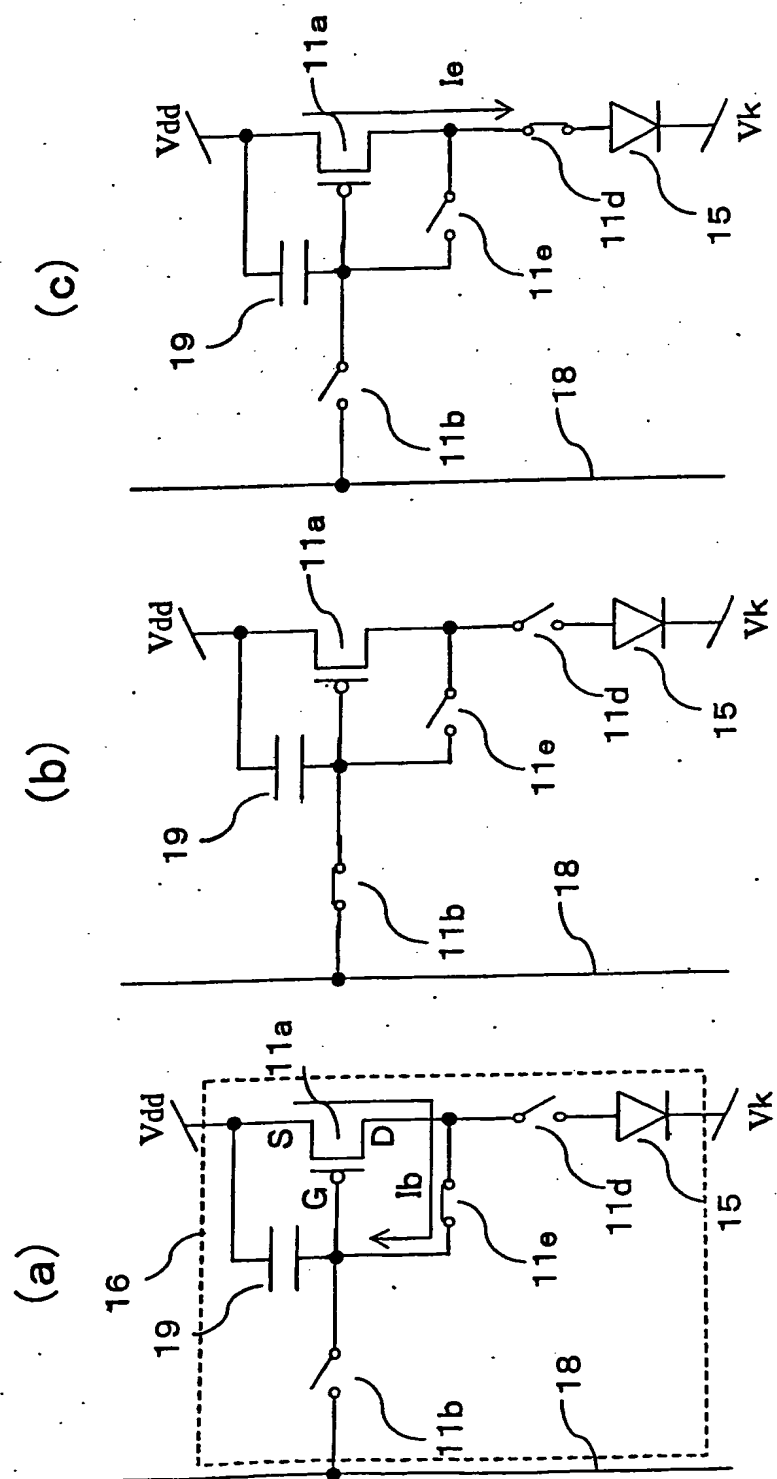
第42図

43 / 62



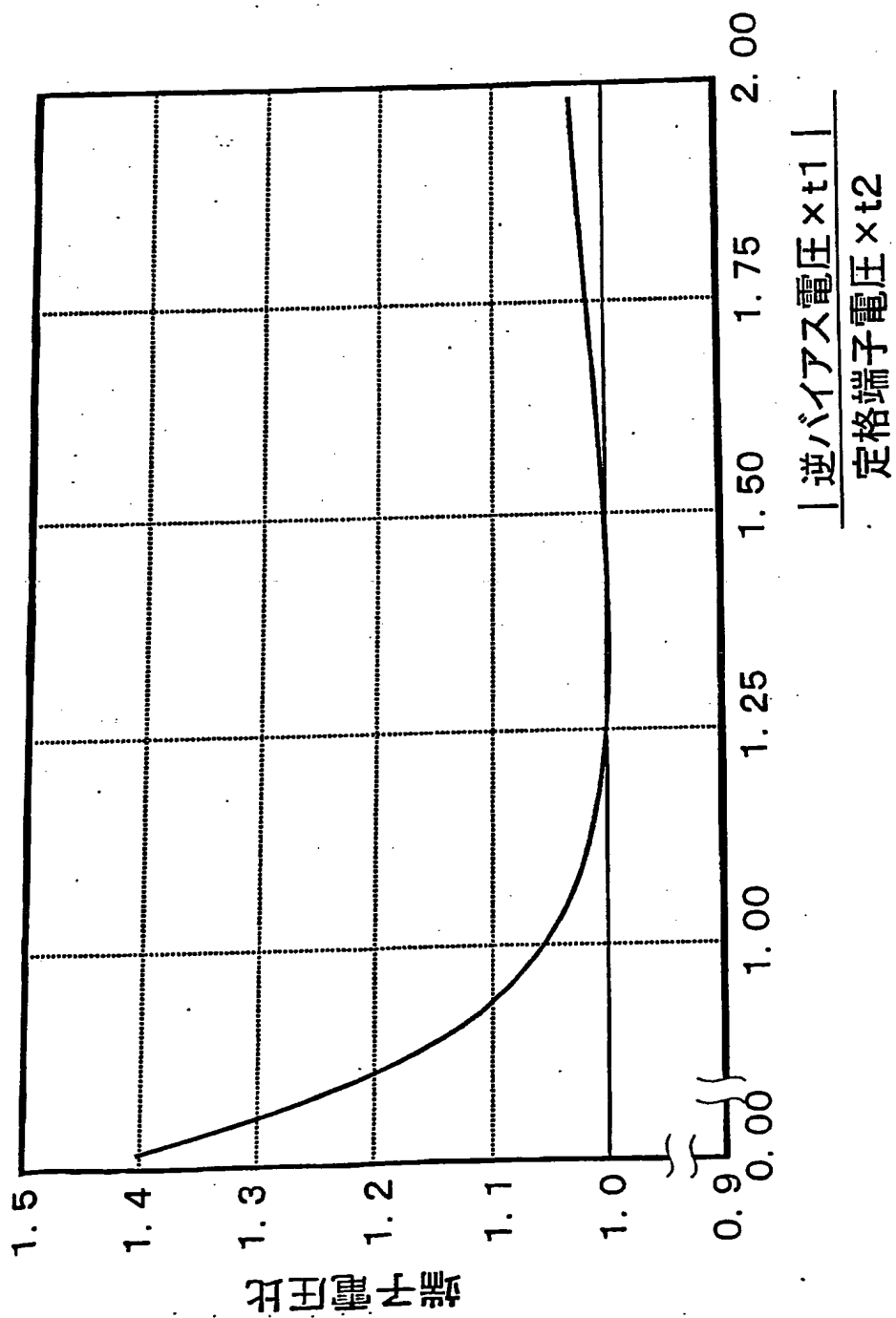
第43図

44 / 62



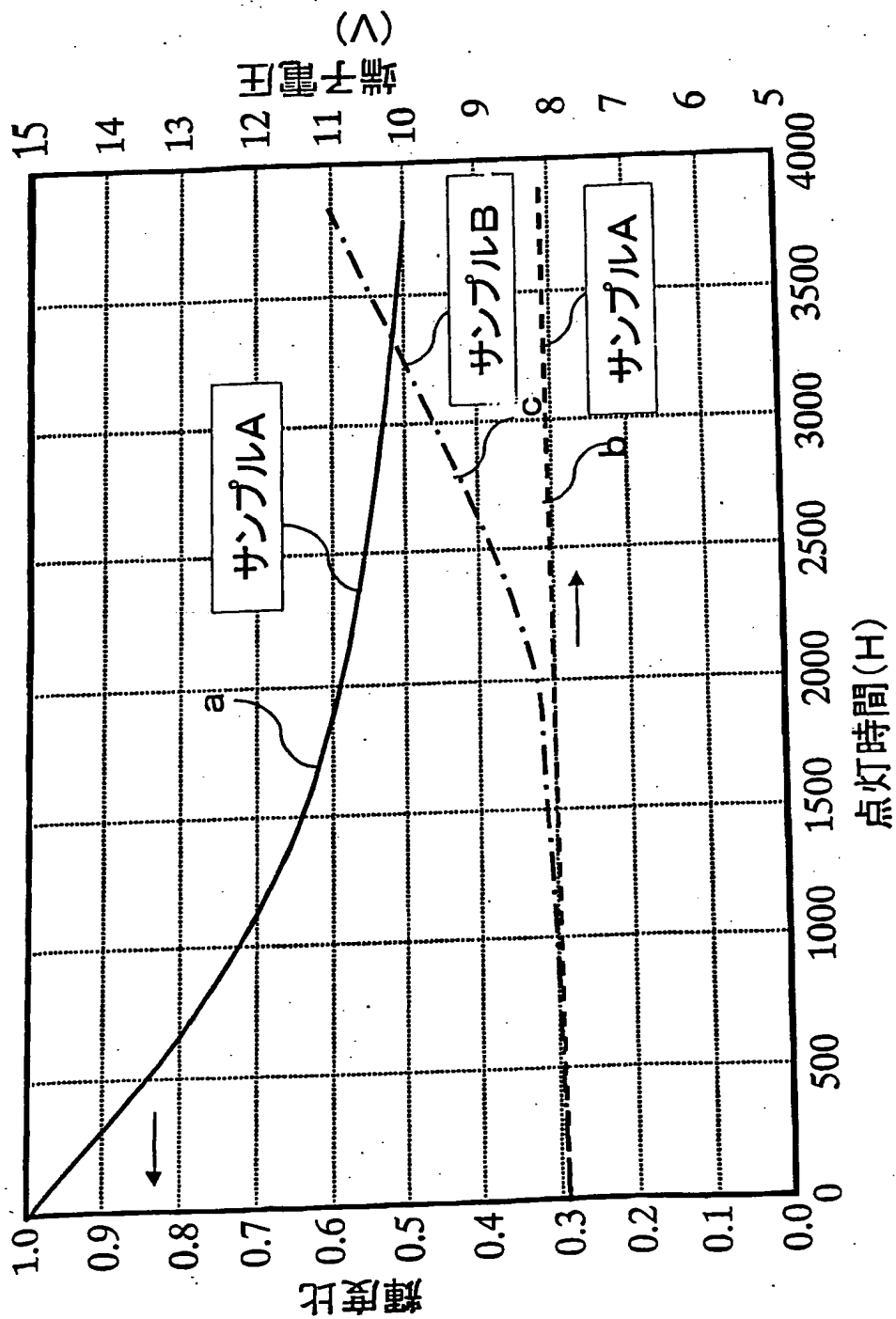
第44図

45 / 62



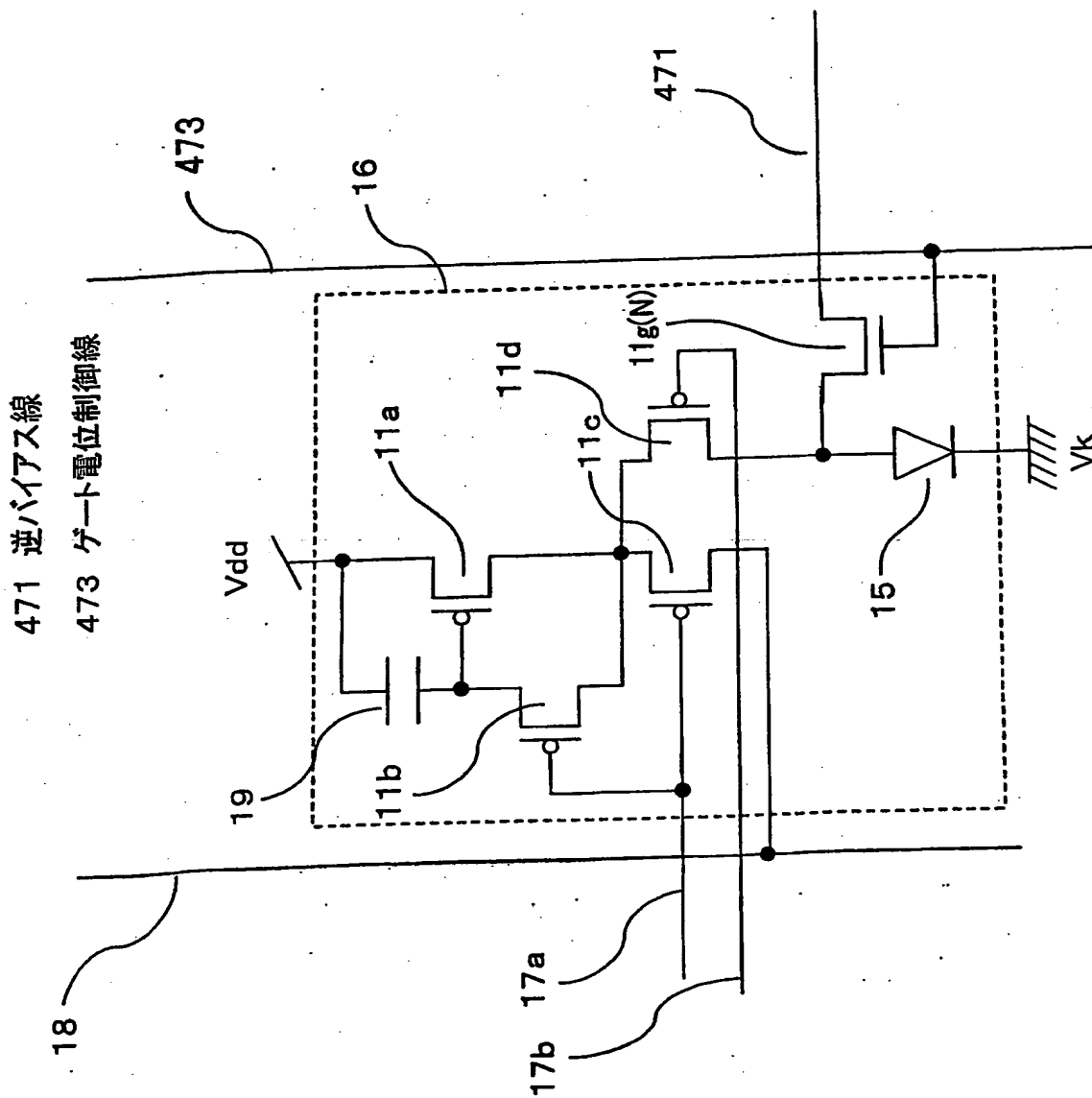
第45図

46
62



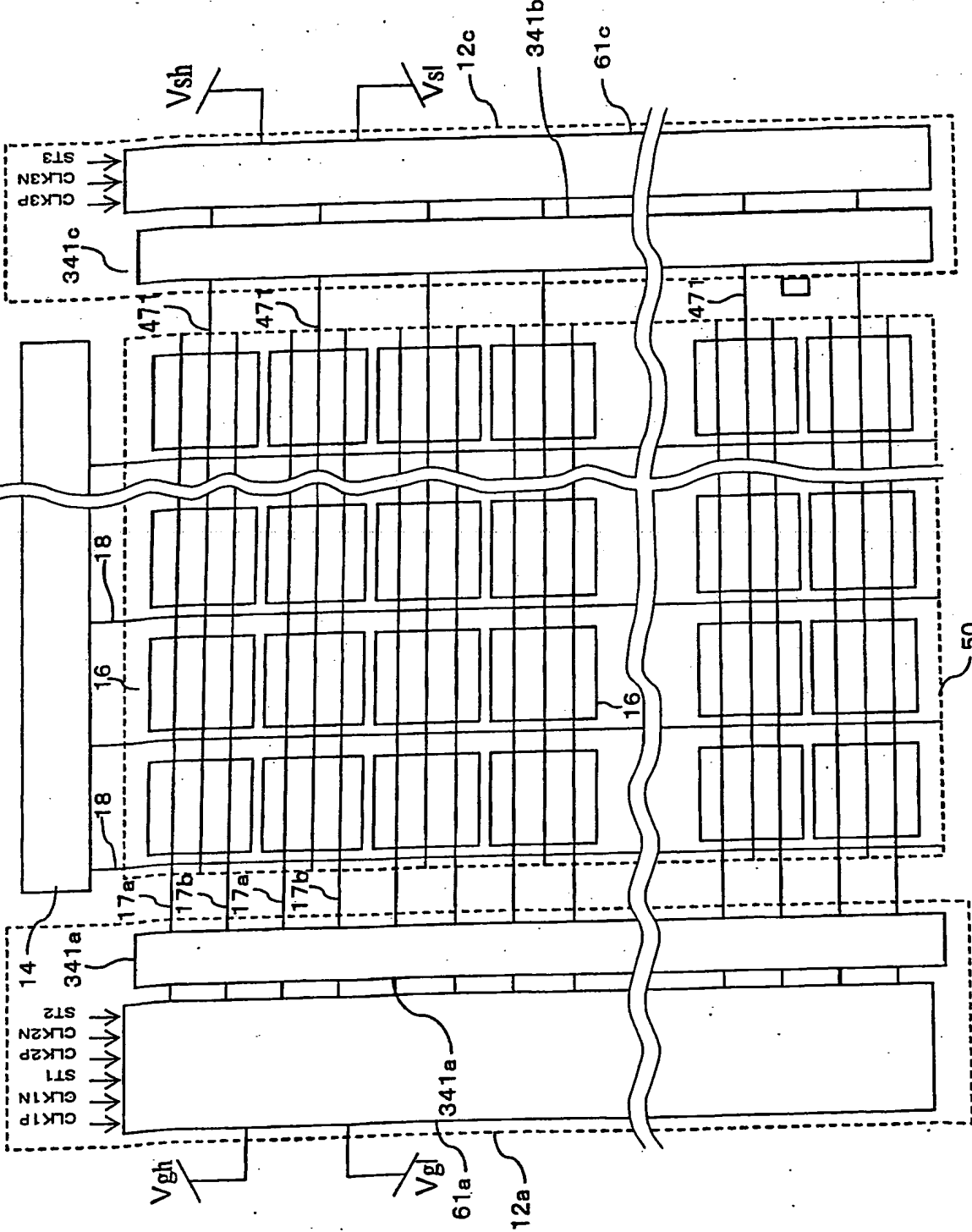
第46図

47
62

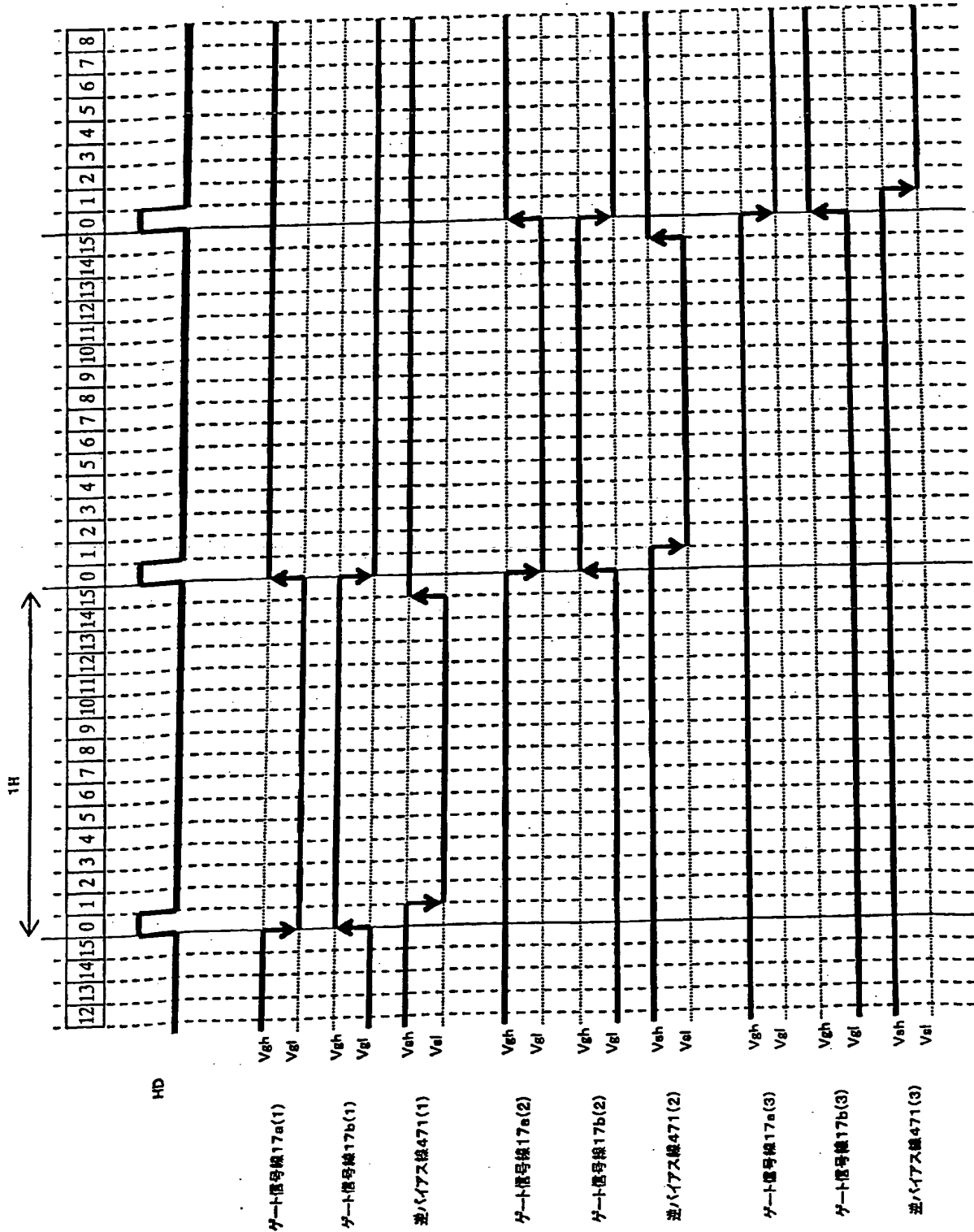


第47図

48
62



第48図



第49図

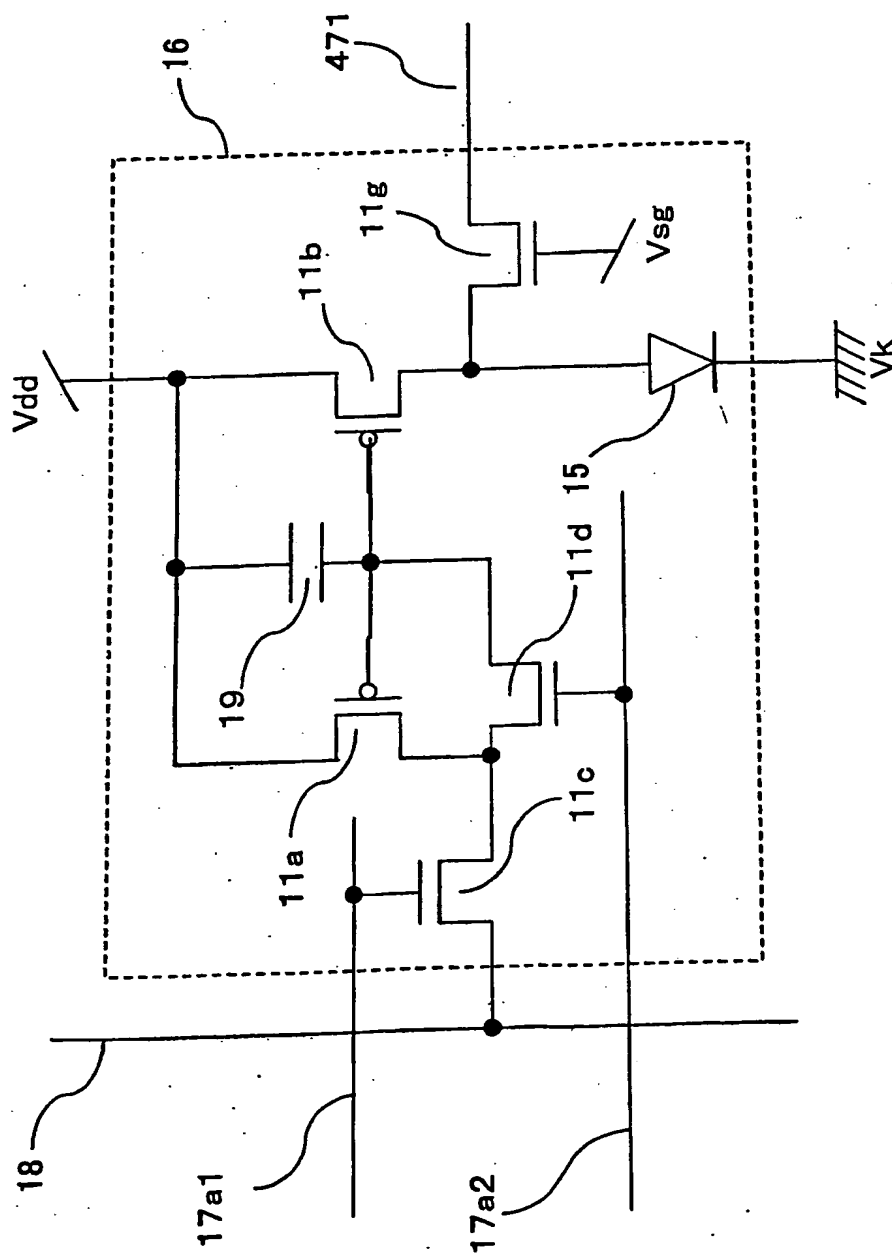


図 50 鋼

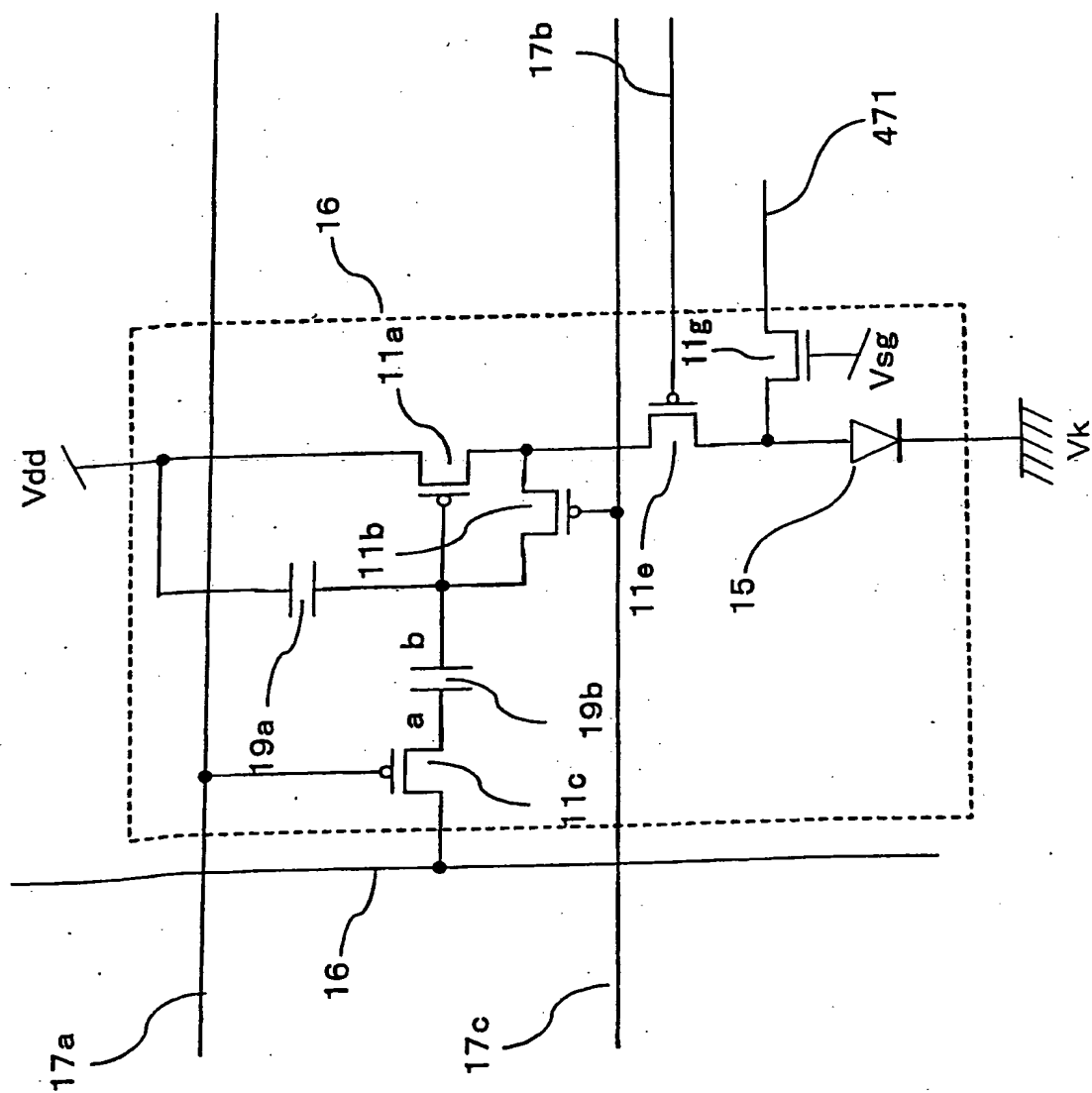
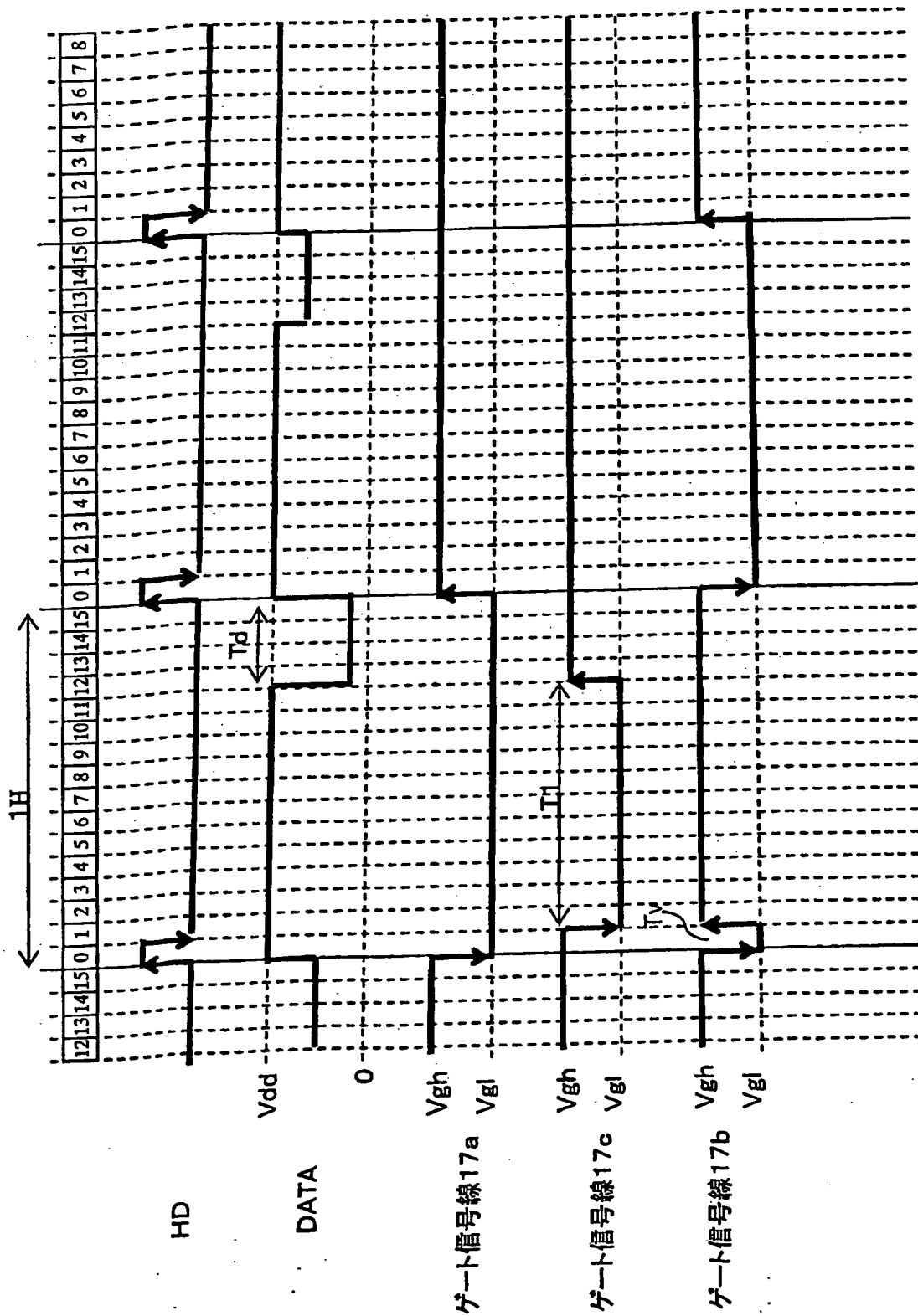


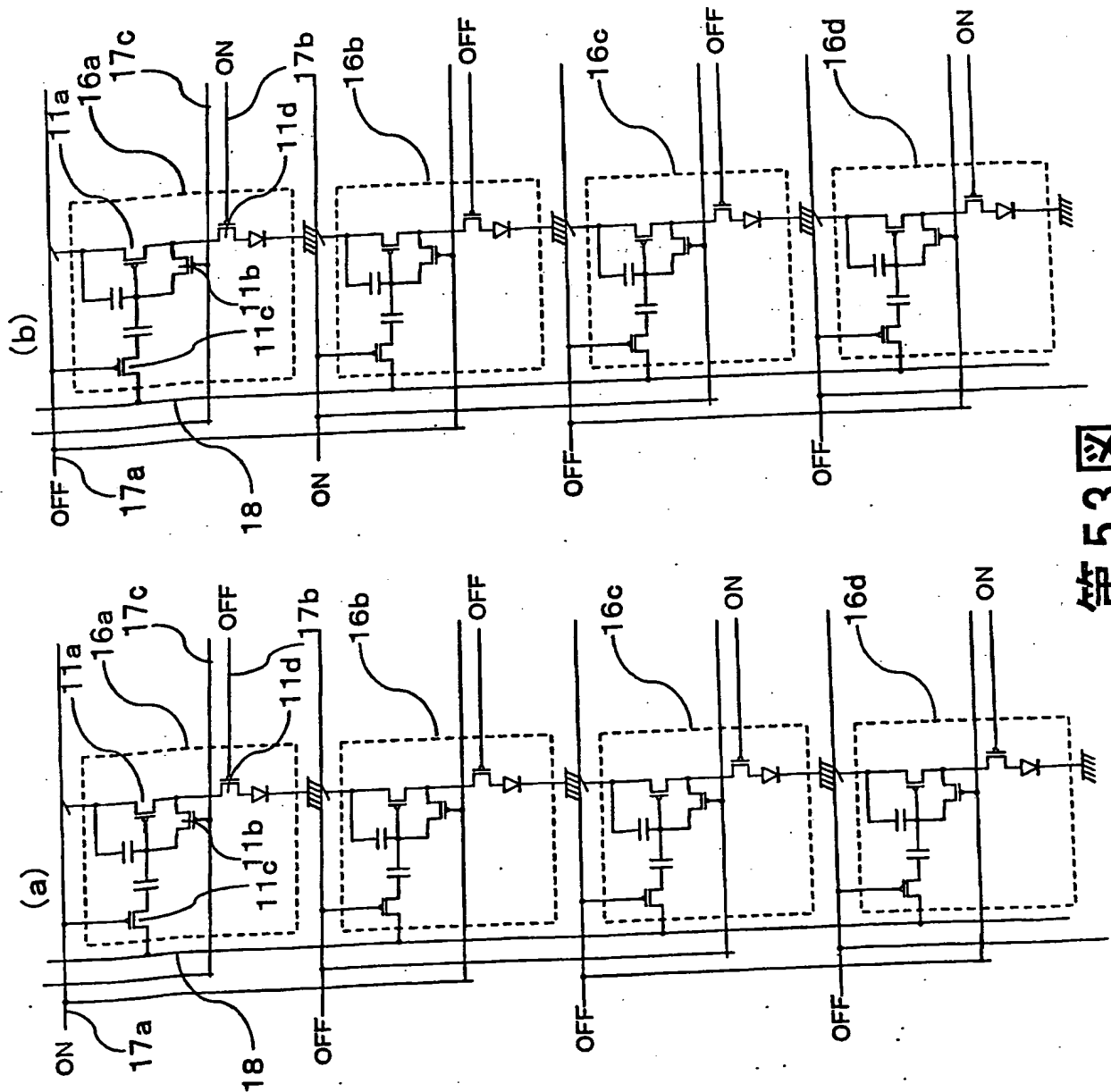
図 51 鋼

52 / 62



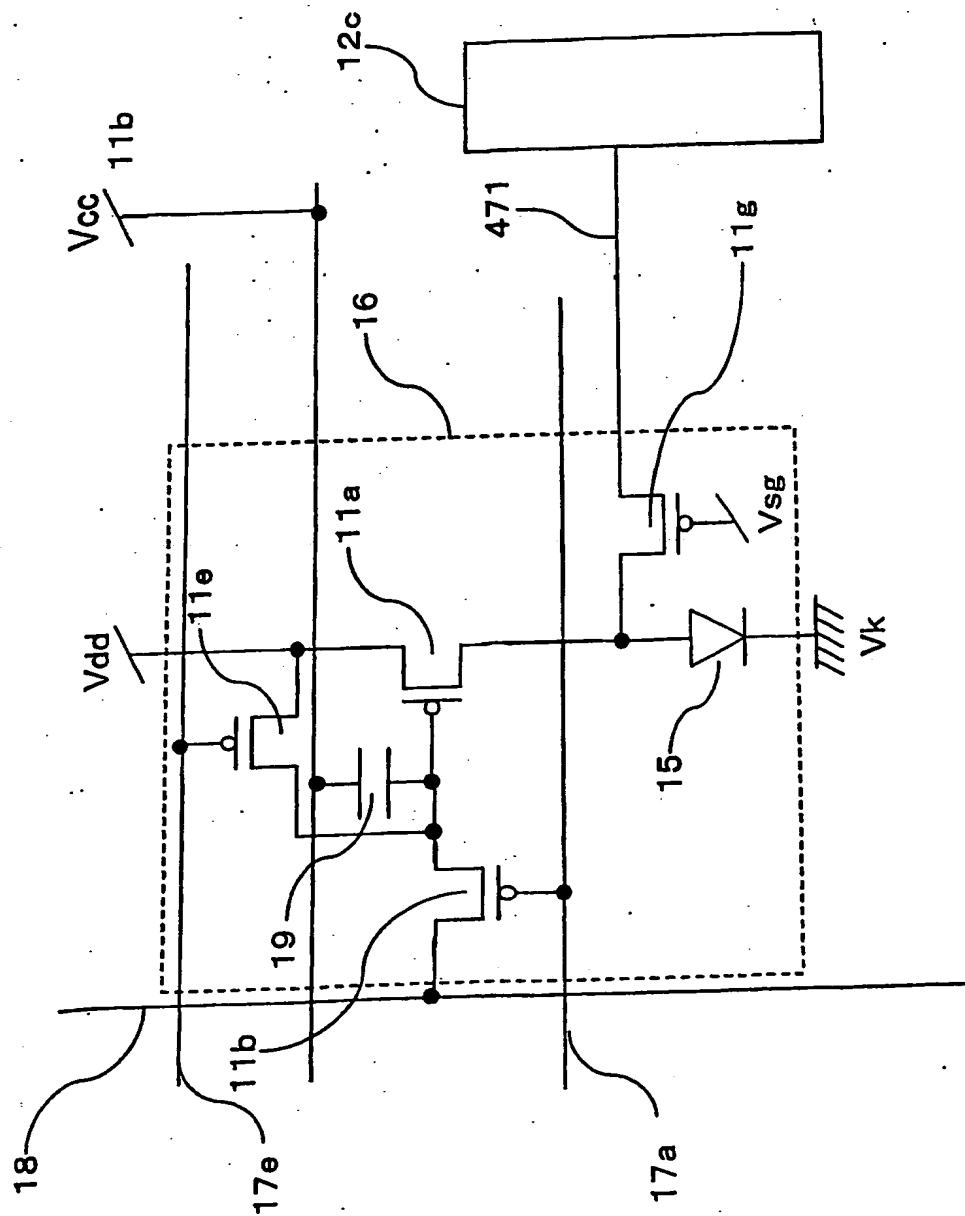
第52図

53 / 62



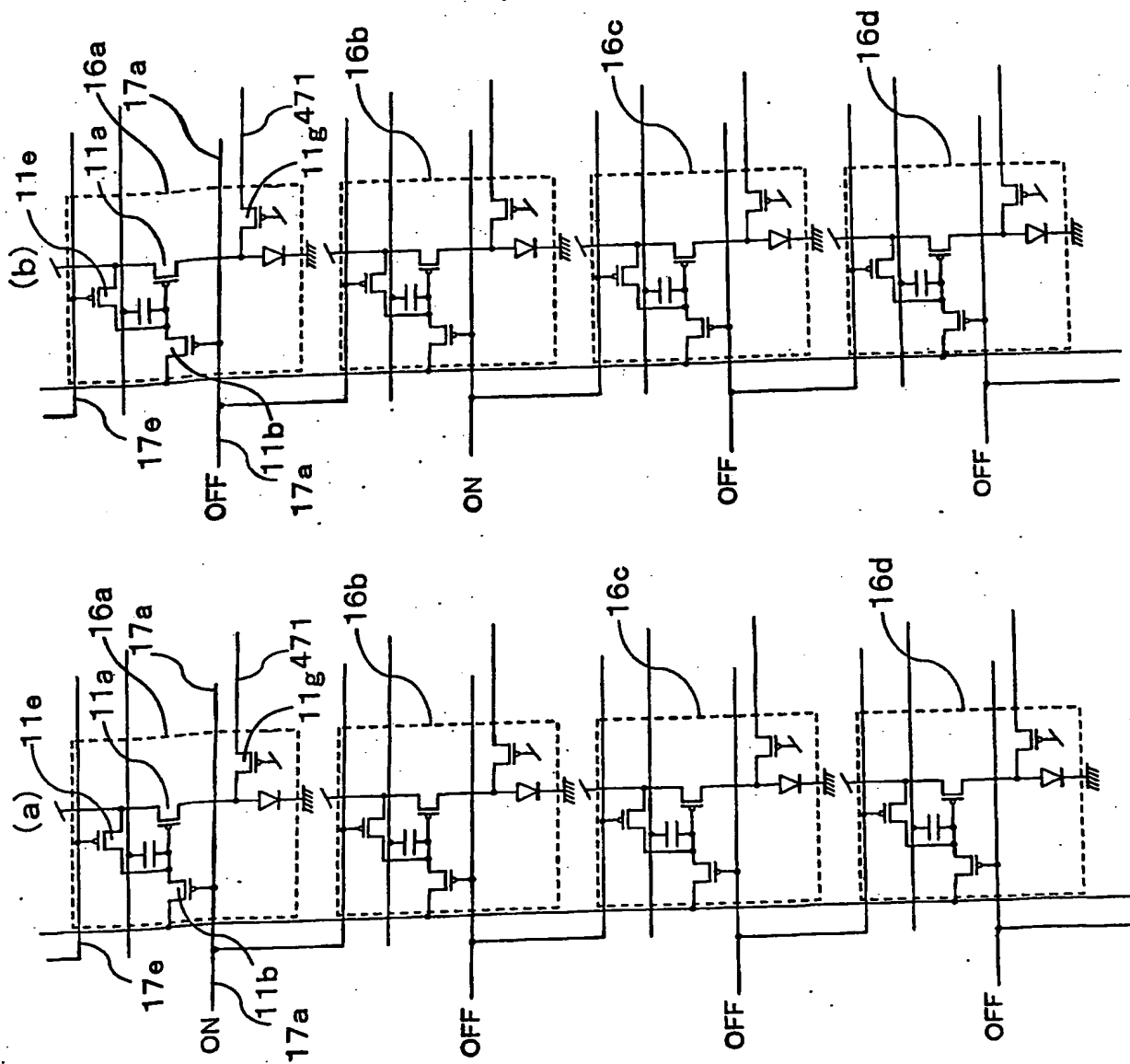
第53図

54 / 62



第54図

55 / 62



第55図

561 電子ポリウム回路

562 TFTのSD(ソース・ドレイン)ショット

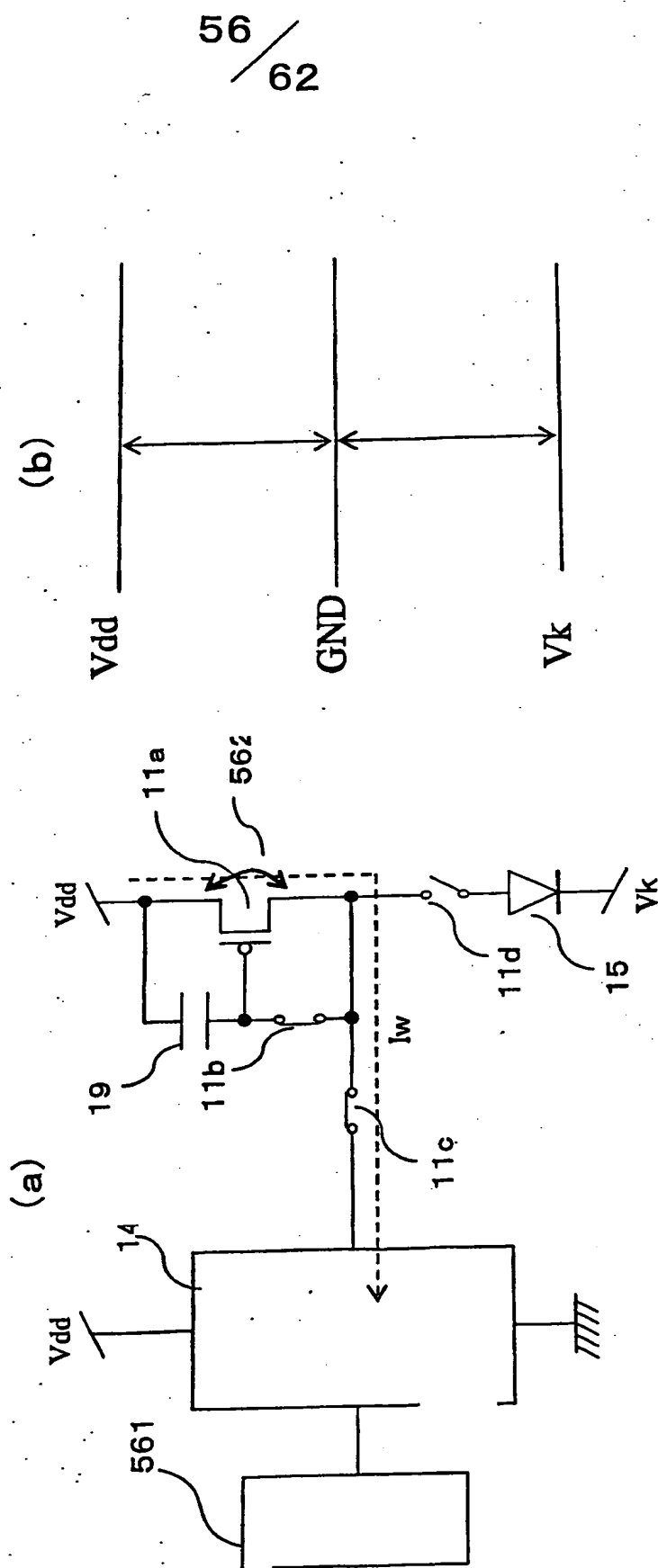
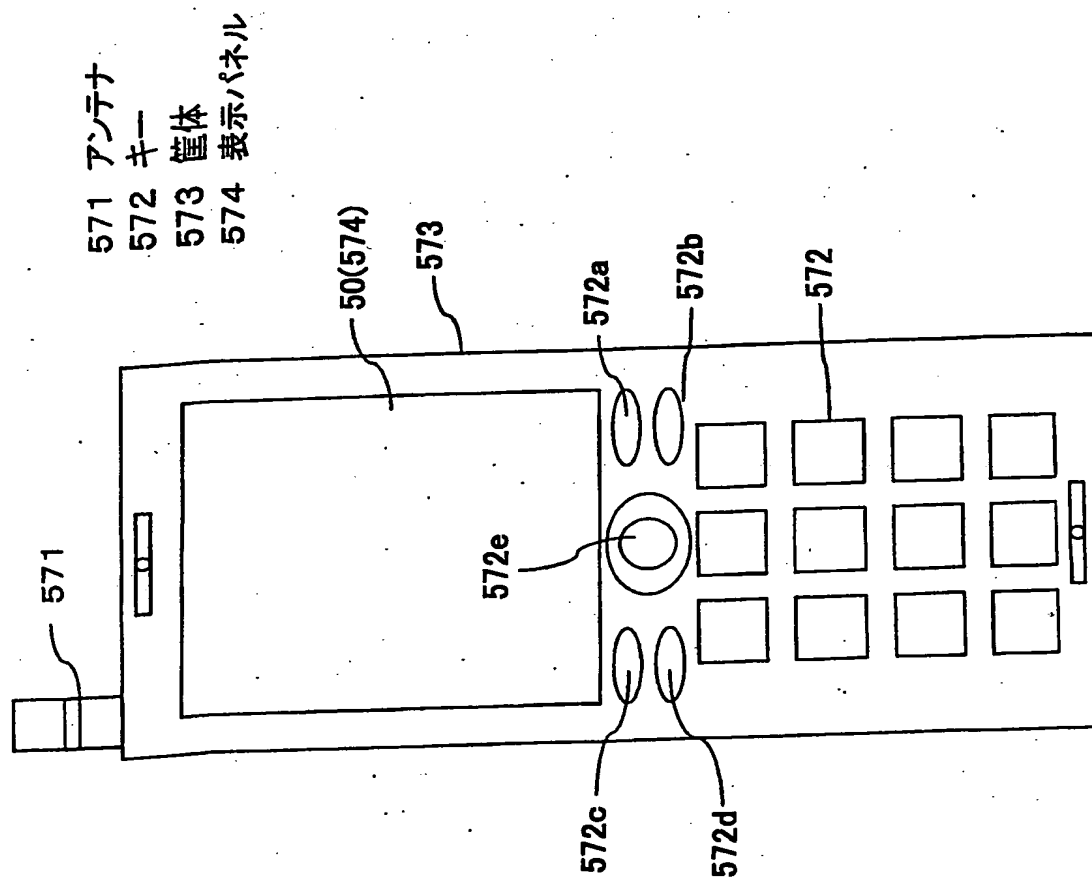


図 56 鋸

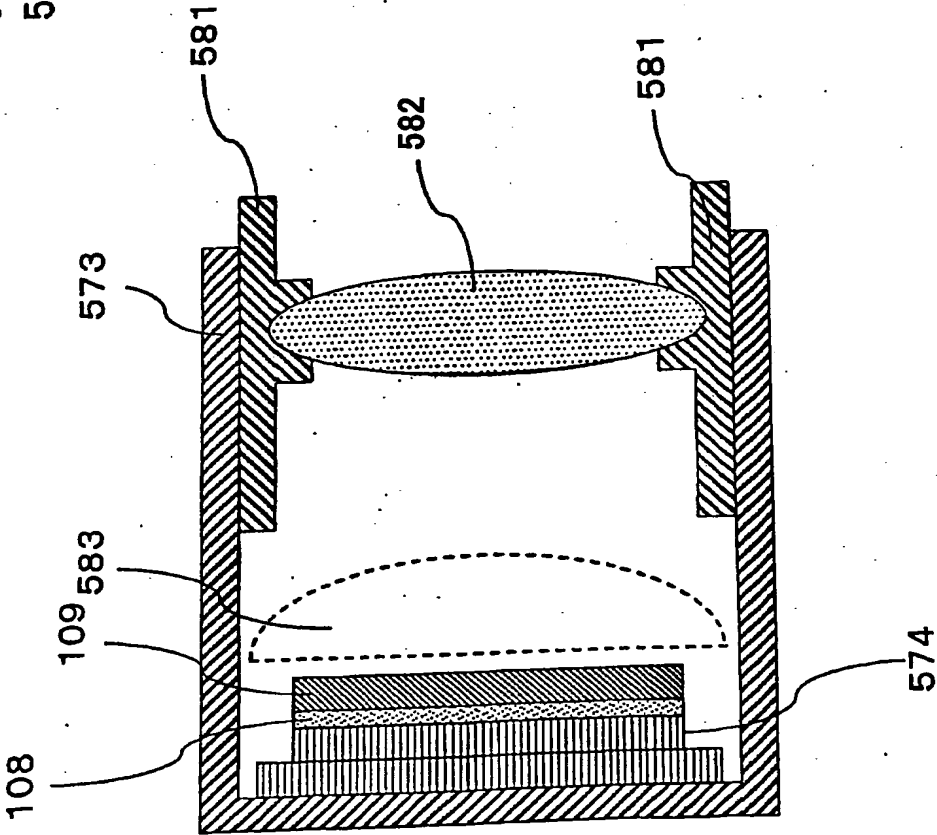
57 / 62



第57図

58 / 62

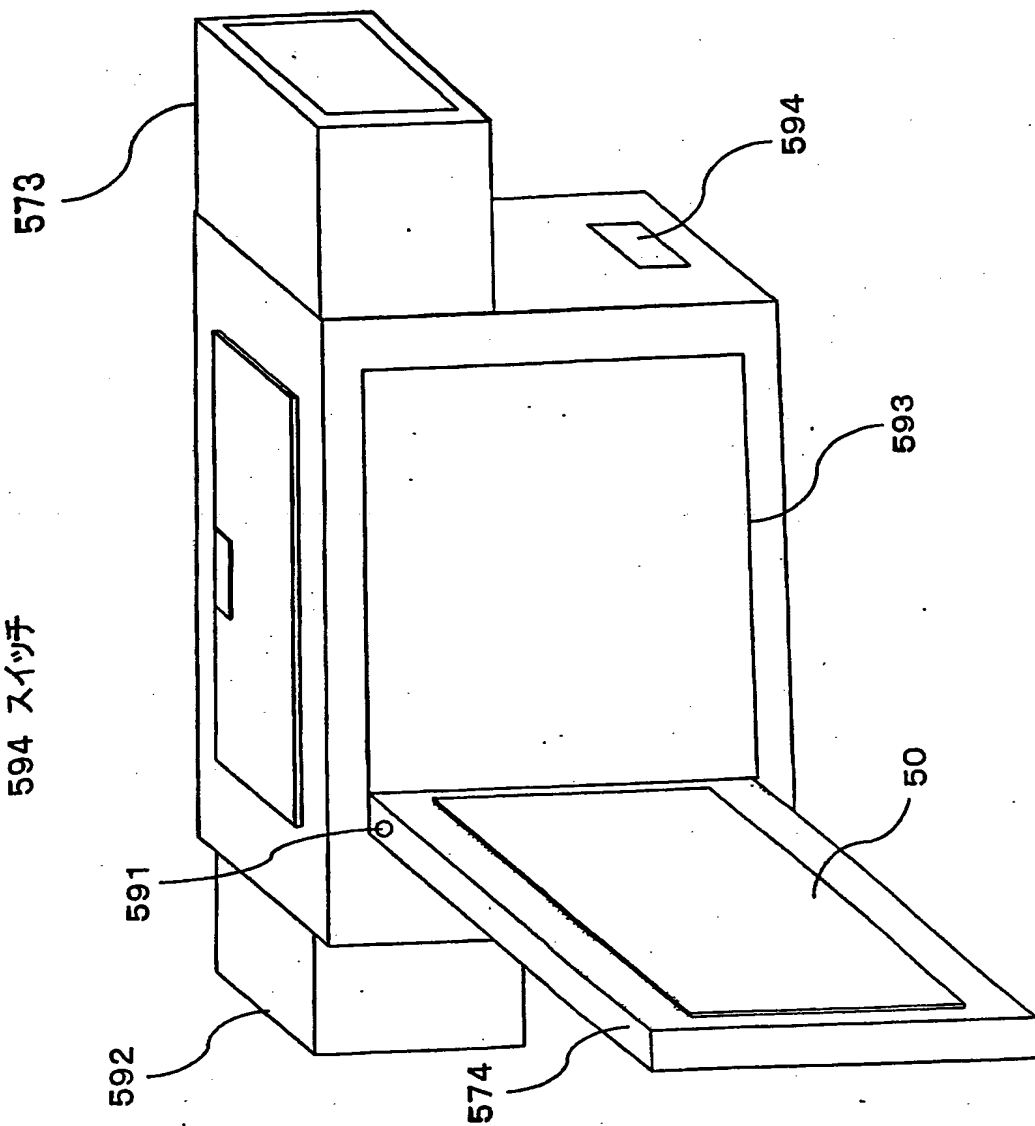
581 接眼リング
582 拡大レンズ
583 凸レンズ



第58図

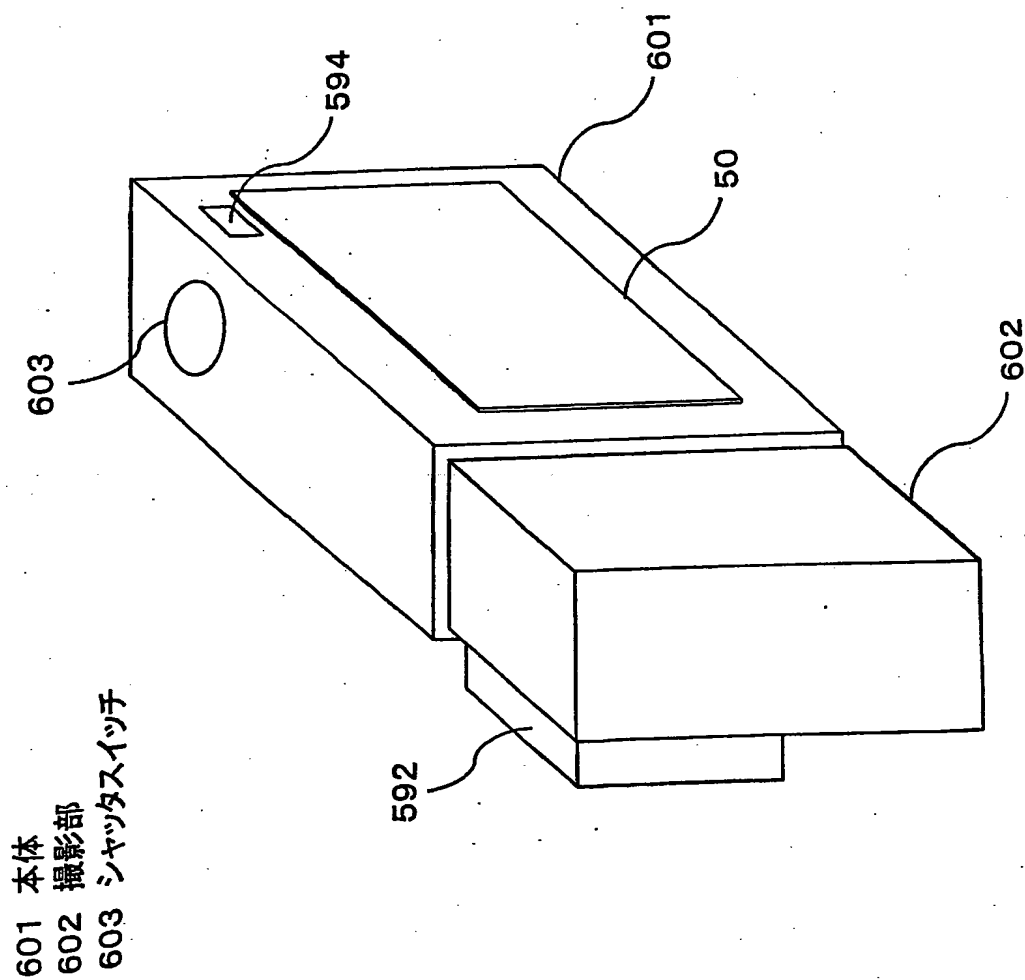
59
/ 62

591 支点
592 撮影レンズ
593 格納部
594 スイッチ



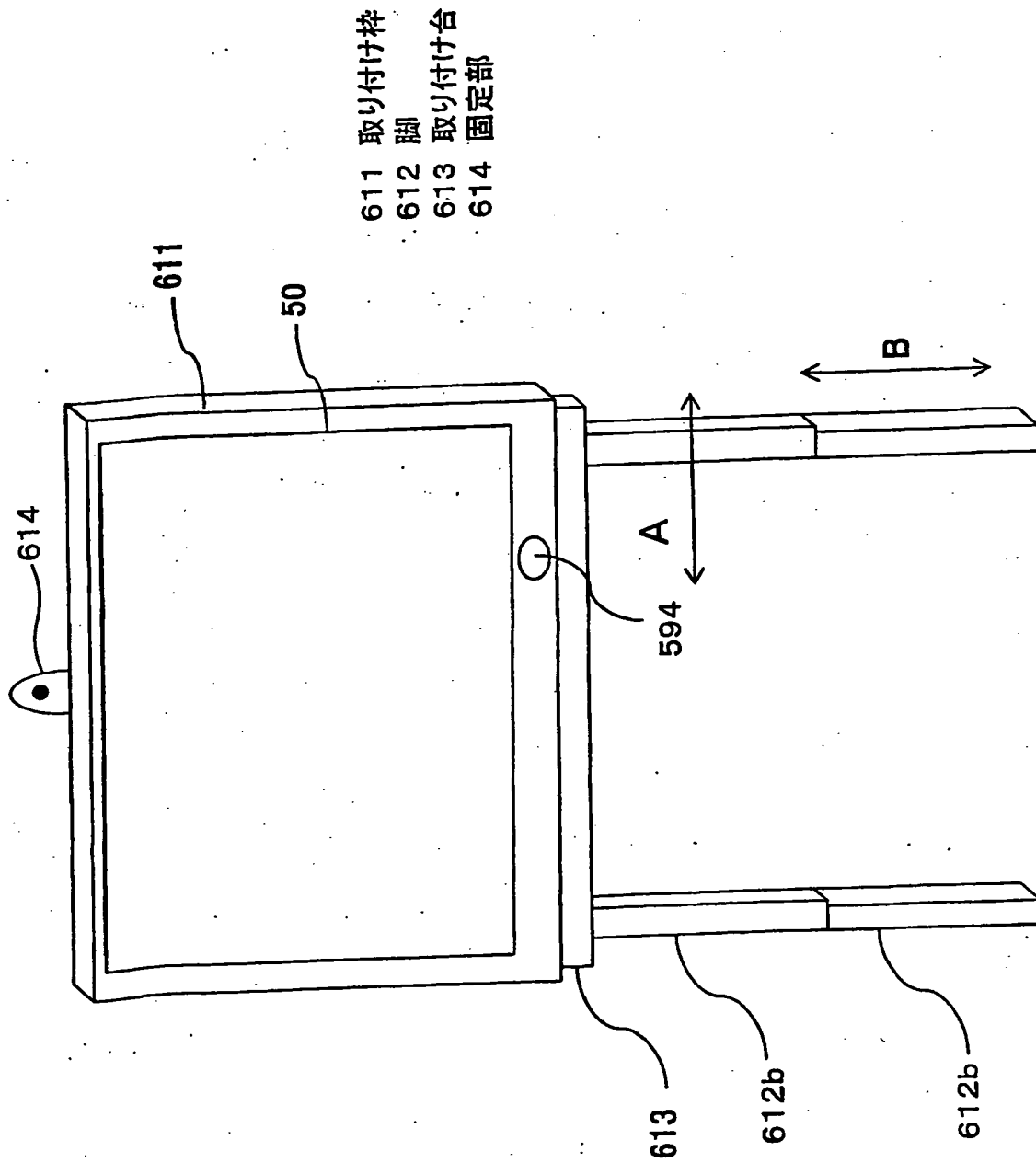
第59図

60 / 62



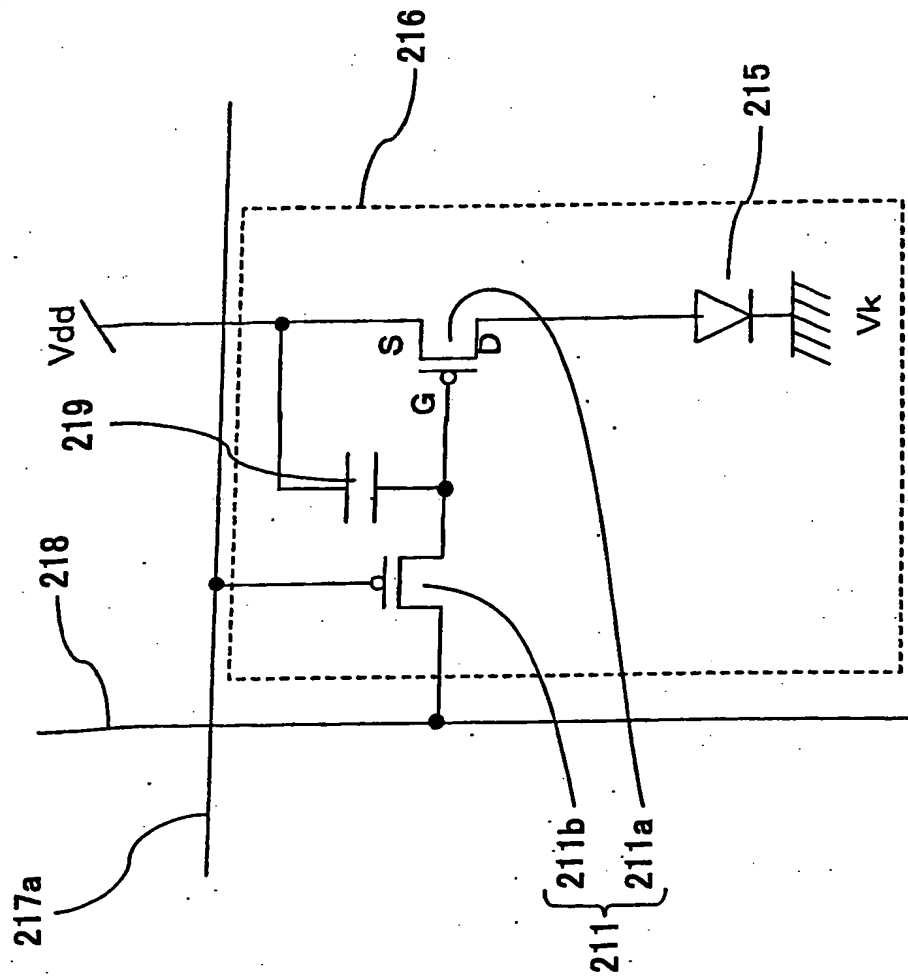
第60図

61 / 62



第61図

62 / 62



第62図

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/09111

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G09G3/20, 30, 36

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G09G3/20-36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2002
Kokai Jitsuyo Shinan Koho 1971-2002 Jitsuyo Shinan Toroku Koho 1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 99/65011 A (Koninklijke Philips Electronics N.V.),	1, 3-5, 8-11, 13-16, 22
Y	16 December, 1999 (16.12.99), Full text; all drawings & JP 2002-517806 A	6, 7, 17-21
P, Y	JP 2001-306031 A (Matsushita Electric Industrial Co., Ltd.), 02 November, 2001 (02.11.01), Par. Nos. [0046] to [0055]; Figs. 4 to 6 (Family: none)	6, 7, 17, 18
P, X	JP 2002-189448 A (Seiko Epson Corp.), 05 July, 2002 (05.07.02), Full text; all drawings (Family: none)	1, 3-5, 8-11, 13-16, 19-22

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
03 December, 2002 (03.12.02)

Date of mailing of the international search report
17 December, 2002 (17.12.02)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/09111

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 62 46180 B1 (NEC Corp.), 12 June, 2001 (12.06.01), Full text; all drawings & JP 2000-221942 A	1-22
P, A	JP 2002-215096 A (Samsung SDI Kabushiki Kaisha), 31 July, 2002 (31.07.02), Full text; all drawings (Family: none)	1-22
E, A	JP 2002-287682 A (Canon Inc.), 04 October, 2002 (04.10.02), Full text; all drawings (Family: none)	1-22
Y	JP 2001-147675 A (Matsushita Electric Works, Ltd.), 29 May, 2001 (29.05.01), Column 5, line 6 to column 8, line 42; Figs. 1 to 11 (Family: none)	19-21
Y	JP 2001-92370 A (Matsushita Electric Industrial Co., Ltd.), 06 April, 2001 (06.04.01), Column 6, lines 8 to 28 (Family: none)	19-21
A	WO 99/50817 A (Central Research Laboratories Ltd.), 07 October, 1999 (07.10.99), Full text; all drawings & GB 2335776 A & EP 1066619 A & JP 2002-510073 A	19-21

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/09111

Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The international search has revealed that the constitution of claim 1 is disclosed in WO 99/ 65011 A (KONINKLIJKE PHILIPS ELECTRONICS N.V.) 1999. 12. 16, and is therefore not novel. As a result, the constitution of claim 1 does not overcome the prior art, so that this constitution is not a special technical feature in the meaning of the second sentence of PCT Rule 13.2. Therefore, there exists no subject matter common to all the claims; it is clear that the group of inventions of claims 1-21 do not satisfy the requirement of unity of invention. The claims of this application include the invention of claim 2 "the EL device is electrically connected/disconnected to/from the transistor plural times cyclically over a one-frame period", the invention of
(continued to extra sheet)

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest.
☒ No protest accompanied the payment of additional search fees.

Continuation of Box No.II of continuation of first sheet(1)

claim 6 "dummy device", and the invention of claim 21 "I/N display areas are displayed by sequential shift over the whole screen, and the number of inventions is three. It is unclear what the wording "source driver which outputs a current larger than a current corresponding to an image signal input from outside" technically expresses. Even though the "current corresponding to an image signal" is interpreted as current flowing through the EL device, the current flowing through the EL device is smaller than the source driver current by the wiring capacitance and wiring resistance.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl' G09G3/20, 30, 36

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl' G09G3/20-36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2002年
日本国登録実用新案公報	1994-2002年
日本国実用新案登録公報	1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	WO 99/65011 A (KONINKLIJKE PHILIPS ELECTRONICS N.V.) 1999. 12. 16、全文全図 & JP 2002-517806 A	1, 3-5, 8-11, 13-16, 22
Y		6, 7, 17-21
PY	JP 2001-306031 A (松下電器産業株式会社) 2001. 11. 02、段落番号46-55、図4-6 (ファミリー無し)	6, 7, 17, 18

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

03. 12. 02

国際調査報告の発送日

17.12.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

鈴野 幹夫



2G

8621

電話番号 03-3581-1101 内線 6489

第I欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第II欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲1等の構成は、調査の結果、WO 99/65011 A (KONINKLIJKE PHILIPS ELECTRONICS N.V.) 1999. 12. 16に開示されているから、新規でないことが明らかとなった。結果として、請求の範囲1等の構成は先行技術の域を出ないから、PCT規則13. 2の第2文の意味において、当該構成は特別な技術的特徴ではない。それ故、請求の範囲全てに共通の事項はなく、請求項1-21は発明の単一性の条件を満たしていないことが明らかである。そして、本願の請求の範囲は、請求の範囲2等の「前記EL素子と前記トランジスタとの間が1フレーム期間において周期的に複数回導通及び非導通となるように」との発明、請求の範囲6等の「ダミー素子」に関する発明、請求の範囲21の「1/Nの表示領域を順次シフトして全画面を表示する」発明からなるから、発明の数は3である。なお、「外部から入力される画像信号に応じた電流よりも大きい電流を出力するソースドライバ」との記載は技術的に何を意味しているのか不明である。「画像信号に応じた電流」がEL素子に導通する電流を意味するものとしても、配線容量や配線抵抗等によりソースドライバの電流よりEL素子に導通する電流小さくなると認められる。

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
☒ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
PX	JP 2002-189448 A (セイコーエプソン株式会社) 2002. 07. 05、全文全図 (ファミリー無し)	1, 3-5, 8-11, 13-16, 19-22
A	US 6246180 B1 (NEC Corp.) 2001. 06. 12、全文全図 & JP 2000-221942 A	1-22
PA	JP 2002-215096 A (三星エスディアイ株式会社) 2002. 07. 31、全文全図 (ファミリー無し)	1-22
EA	JP 2002-287682 A (キャノン株式会社) 2002. 10. 04、全文全図 (ファミリー無し)	1-22
Y	JP 2001-147675 A (松下電工株式会社) 2001. 05. 29、第5欄第6行-第8欄第42行、図1-11 (ファミリー無し)	19-21
Y	JP 2001-92370 A (松下電器産業株式会社) 2001. 04. 06、第6欄第8行-第28行 (ファミリー無し)	19-21
A	WO 99/50817 A (CENTRAL RESEARCH LABORATORIES LIMITED) 1999. 10. 07、全文全図 & GB 2335776 A & EP 1066619 A & JP 2002-510073 A	19-21